

TECNOLOGÍA DE LOS SISTEMAS DIGITALES

Cuando se habla de **TECNOLOGÍA** en sentido amplio se puede estar hablando de...

- ❑ El tipo de transistores con que se fabrica un circuito
 - Bipolares (TTL, ECL, etc)
 - Unipolares (nMOS y CMOS)
 - Ambos (BiCMOS)
- ❑ El soporte utilizado para implementar un diseño
 - ASIC
 - Dispositivos Programables
 - Microprocesadores
 - Familias lógicas

ESCALAS DE INTEGRACIÓN

	<u>Puertas/mm²</u>
↖ SSI (Small Scale Integration) (Puertas lógicas)	1-10
↖ MSI (Medium Scale Integration) (Circuitos Combinacionales y Secuenciales)	10-100
↖ LSI (Large Scale Integration) (Dispositivos de lógica programable)	100-1000
↖ VLSI (Very Large Scale Integration)	1000-10000
↖ ULSI (Ultra Large Scale Integration)	> 10000

TECNOLOGÍAS

- TTL
 - 5V
 - LSTTL, ALSTTL
- MOS
 - Entre 5 y 18 V
 - CD4000
- CMOS
 - Entre 2 y 5.5 V
 - HC, HCT, AHC, AHCT
- LVCMOS
 - Vcc inferiores a 2 V
 - Algunas son TTL compatibles
 - LVC, ALVC
- Bi-CMOS
- ECL

SOPORTES

Soportes: Subsistemas SSI-MSI-LSI

- Puertas lógicas
- Multiplexores
- Codificadores/decodificadores
- ALUs
- *Flip-flops*
- Registros
- Contadores

Soportes: Lógica programable

- PLDs simples
- CPLDs
- FPGAs

Soportes: ASICs

- *Full-Custom*
- *Standard-Cell*
- *Gate-Array*

Soportes: microprocesadores

- Microprocesador
 - CISC
 - RISC
- Microcontrolador
- Procesador de señal
- Procesador especializado

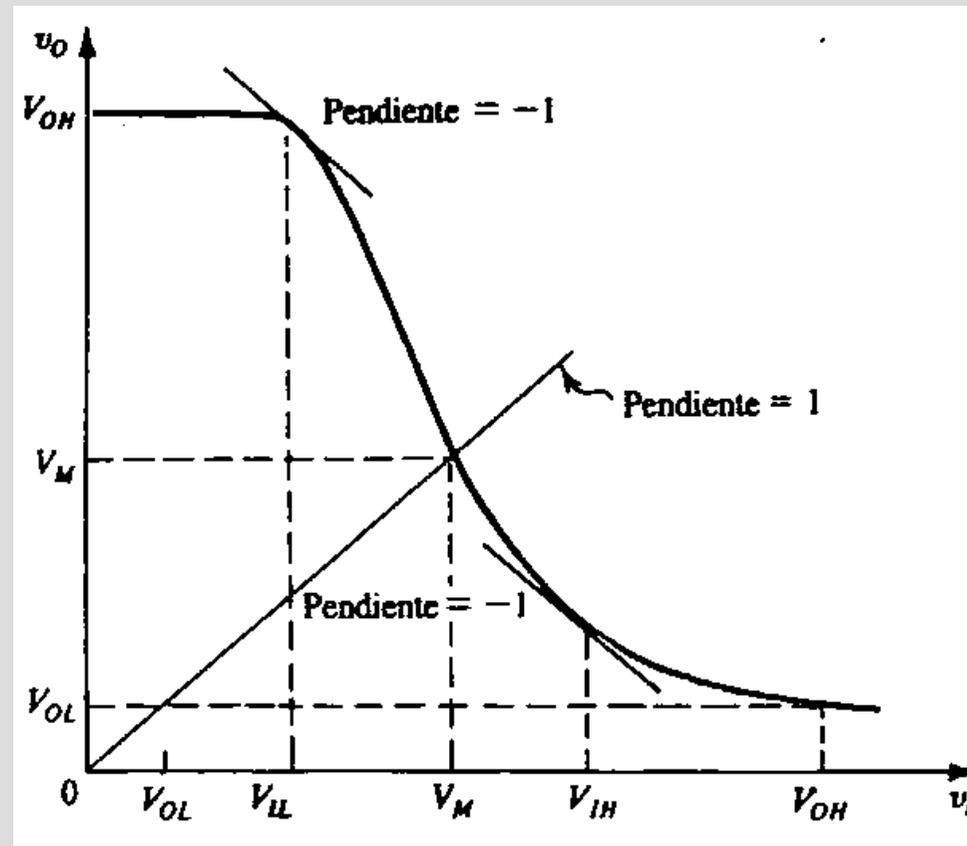
FAMILIAS LÓGICAS

FAMILIAS LÓGICAS	BIPOLAR	TTL
		ECL
	MOS	CMOS
		NMOS
		TRANSMISIÓN
		DINÁMICOS
	BICMOS	
	GaAs	

PARÁMETROS CARACTERÍSTICOS

- **Margen de ruido**
- **Tiempo de propagación**
- **Potencia (estática, dinámica)**
- **Factor de mérito**
- **Superficie**
- **Fan in, Fan out**

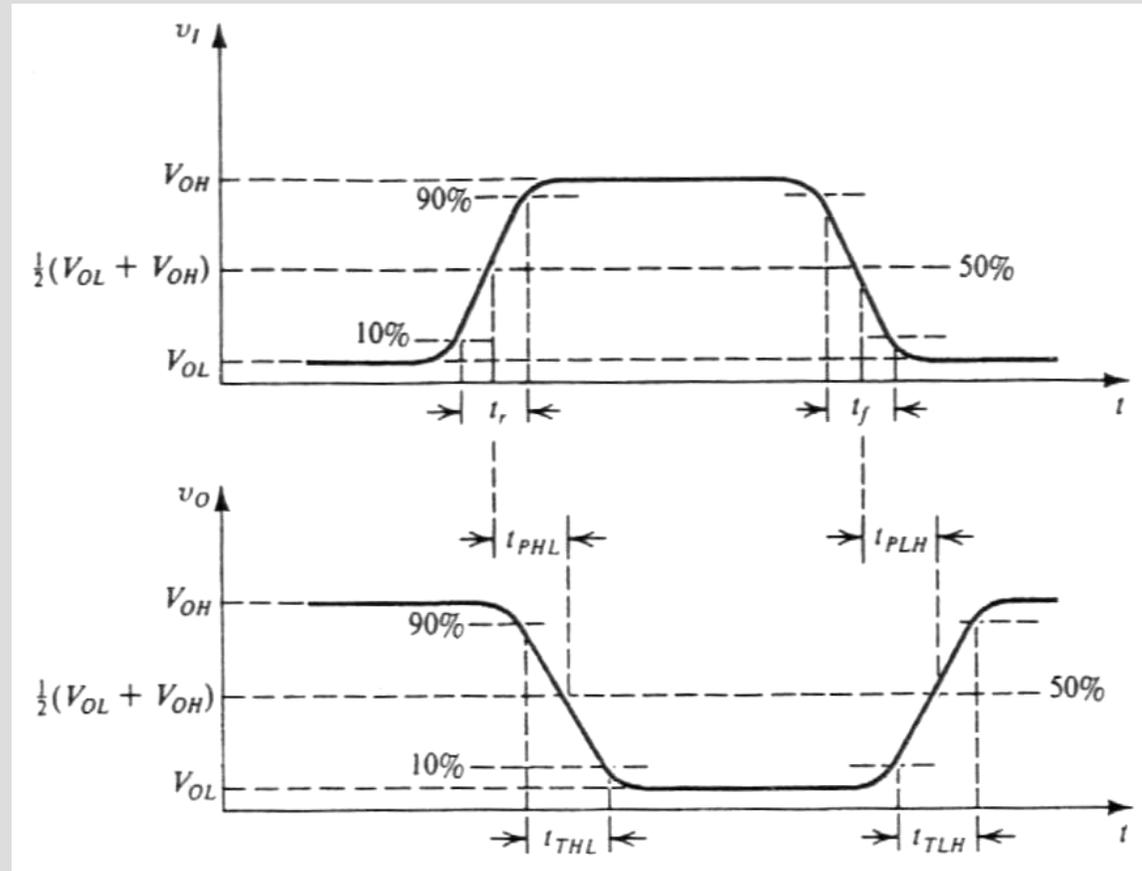
MARGEN DE RUIDO



$$NM_H \equiv V_{OH} - V_{IH}$$

$$NM_L \equiv V_{IL} - V_{OL}$$

TIEMPO DE PROPAGACIÓN



$$t_P \equiv \frac{1}{2} (t_{PLH} + t_{PHL})$$

POTENCIA

ESTÁTICA: sin conmutación P_e

DINÁMICA: con conmutación P_d

$$P_D = fCV_{DD}^2$$

FACTOR DE MÉRITO

$$DP = P_{DtP}$$

CAJA NEGRA

Modelo de caja negra: Los parámetros descritos anteriormente van a ser útiles para cualquier familia lógica, no necesitamos saber como está estructurado internamente un dispositivo sino cuales son sus parámetros de funcionamiento.



TTL

Familia	Características
74	Es la más antigua, fue introducida por Silvana en 1963 y popularizada por Texas Instruments.
74H 74L	High Speed TTL Low Power TTL Tienen la misma estructura pero cambian los valores de los resistores
El desarrollo de los transistores Schottky y su introducción en los años 70 en la familia TTL hizo obsoletas las familias 74, 74H, 74L	
74S	Schottky TTL Es la primera familia que utiliza transistores Schottky Mejora mucho la velocidad de la serie 74 pero con mucho más consumo.
74LS	Low power Schottky TTL Es la TTL más utilizada y la menos costosa Iguala la velocidad de la serie 74 TTL pero consume una quinta parte.
74AS	Advanced Schottky TTL Ofrece el doble de velocidad que la 74S con la mitad de consumo
74ALS	Advanced Low Power Schottky TTL Ofrece velocidades y consumos mejores que la LS. Rivaliza con la LS
74F	Fast TTL Esta posicionada entre la AS y la ALS

TTL

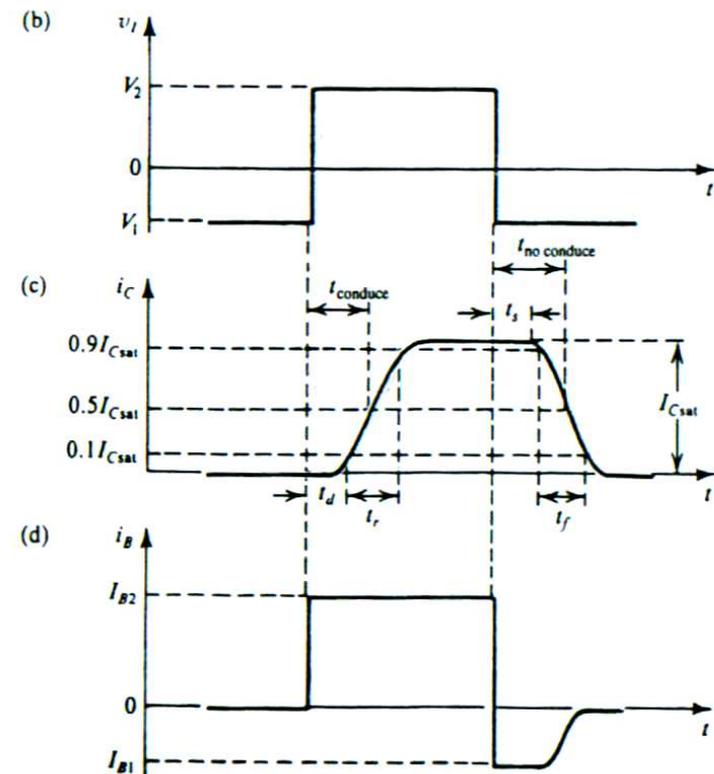
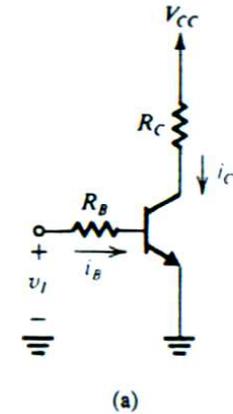
INTERRUPTOR BIPOLAR

El *tiempo de retardo t_d* es debido a tres factores:

- Tiempo necesario para cargar la capacidad de transición de la unión de emisor.
- Tiempo no nulo que requieren los portadores minoritarios que comienzan a inyectarse en la base y llegan al colector.
- Tiempo necesario para que la concentración de portadores minoritarios en la base alcance el valor correspondiente para $I_C = 0,1 I_{CSat}$.

El *tiempo de subida t_r* se debe a que el transistor debe atravesar la zona activa antes de alcanzar la saturación. El aumento de la corriente de colector es exponencial y su constante de tiempo es proporcional a la C_{TC} de la unión de colector:

El *tiempo de almacenamiento t_s* se debe a que el transistor en saturación tiene un exceso de portadores minoritarios almacenados en la base (este es un fenómeno análogo al exceso de portadores minoritarios almacenados en la unión pn de un diodo). El transistor no puede responder hasta que el exceso de carga en saturación se haya eliminado.



Emisor común con carga capacitiva

Supongamos que v_i varía entre:

$v_i = 0$ para el cual el transistor está cortado, y
 $v_i = V_I$ para el cual el transistor está saturado.

Si $v_i = V_I$ desde hace cierto tiempo, el transistor se encuentra saturado y tenemos

$$v_0 = V_{CE,sat}$$

$$i_c = (V_{CC} - V_{CE,sat}) / R_c = I_{C,sat}$$

cuando v_i cae a cero la i_c también cae a cero y C se carga hacia V_{CC} (desde $V_{CE,sat}$) con la constante de tiempo $R_c C$.

Cuando v_i pasa de cero a V_I el transistor no pasa a saturación inmediatamente sino que permanece en la región activa ya que la carga almacenada en C fuerza la polarización inversa de colector. La i_c es ahora

$$i_c = \beta \cdot I_{B,sat} = I'_{C,sat}$$

Esto es válido hasta que el transistor deje la zona activa alcanzando la saturación, es decir cuando v_0 , que partió de V_{CC} , sea igual a $V_{CE,sat}$.

Durante este tiempo

$$v_0 = V_{CC} - I'_{C,sat} \cdot R_c (1 + e^{-t/R_c C})$$

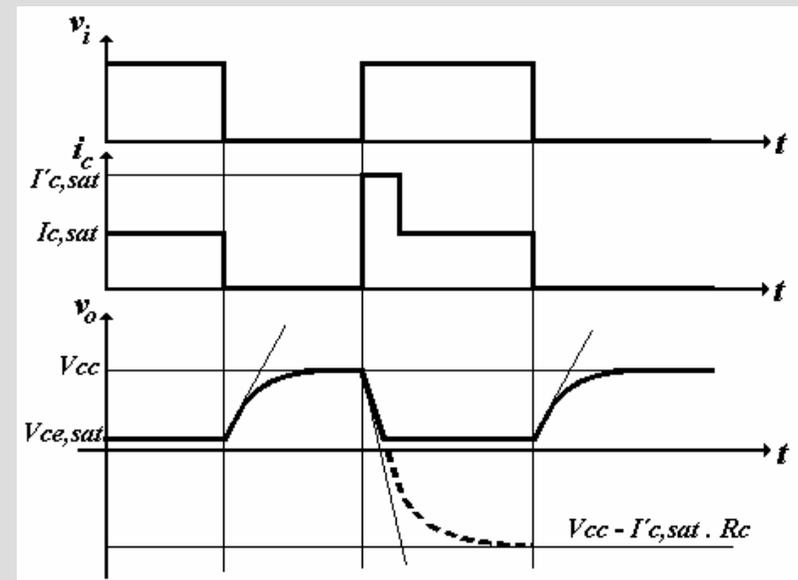
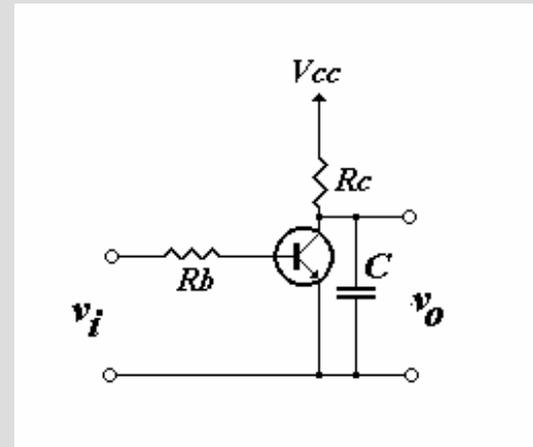
Cuando C se descarga, lo hace con la misma constante de tiempo que cuando se carga. Sin embargo, como

$I'_{C,sat} \cdot R_c /$ es mayor que $V_{CC} /$

Resultará que el tiempo en el cual la tensión en C pasa de V_{CC} a

$V_{CE,sat}$, será menor que el tiempo en que la tensión en C pasa de $V_{CE,sat}$ a V_{CC} .

Los tiempos de conmutación propios del transistor vistos anteriormente no se han considerado. En los casos que no sean despreciables habrá que sumarlos a la discusión anterior.



Seguidor de emisor con carga capacitiva

Esta configuración presenta la característica de tener elevada impedancia de entrada y pequeña impedancia de salida.

El transistor nunca estará saturado a menos que v_i sea mayor que V_{CC} .

Supongamos que v_i varía entre dos valores:

$$v_i = 0 \quad \text{transistor cortado}$$

$$v_i = V_1 \quad \text{algo menor que } V_{CC}, \text{ el transistor en la}$$

zona activa cerca de la saturación

Cuando $v_i = V_1$ durante un cierto tiempo, la tensión v_o será:

$$v_o = V_1 - I_B \cdot R_b - V_{BE,act} = V_{OH}$$

Cuando v_i pasa a cero, el transistor se corta y C comienza a descargarse a través de R_e con la constante de tiempo $R_e \cdot C$:

$$v_o = V_{OH} - V_{OH} (1 - e^{-t/R_e \cdot C})$$

Cuando v_i pasa de 0 a V_1 , el transistor pasará a la zona activa siendo

$$I_B = (V_1 - V_{BE,act}) / R_b$$

$$I_C = h_{FE} \cdot I_B$$

Esta última corriente cargará al capacitor hacia V_{OH} rápidamente con una constante de tiempo

$$(R_e // R_{eq}) \cdot C$$

$$R_{eq} = (R_b + R_s + h_{ie}) / (h_{fe} + 1) \quad \text{impedancia}$$

de salida del seguidor de emisor

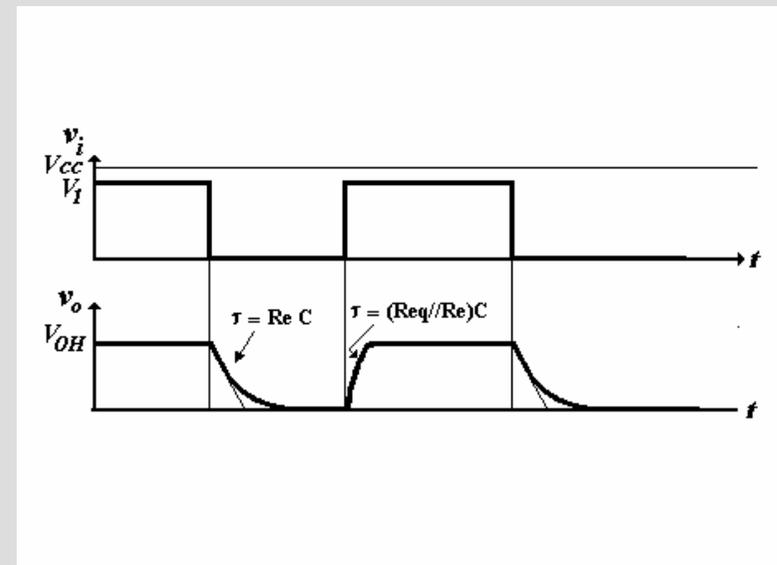
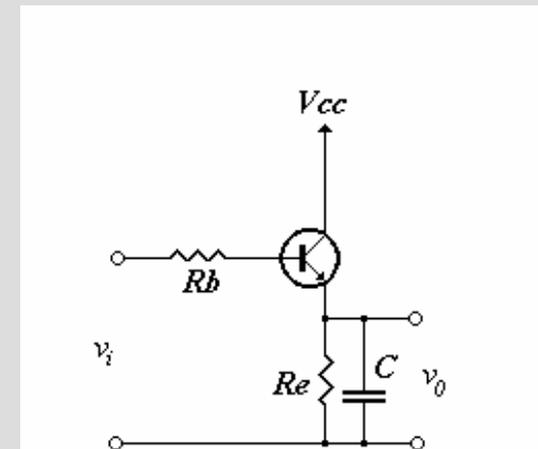
$$R_s = \text{resistencia de la fuente de entrada}$$

$$h_{ie} = \text{resistencia de entrada en emisor común (pequeña}$$

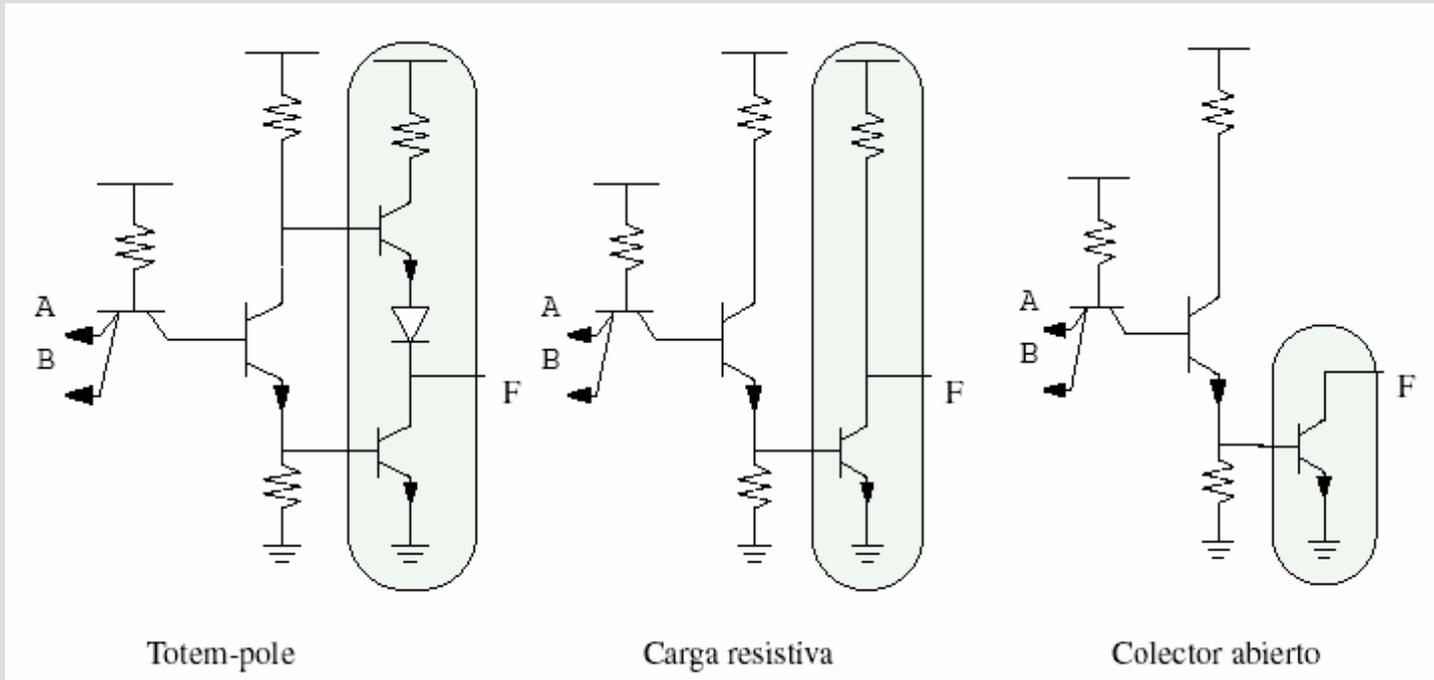
señal).

$$h_{fe} = \text{ganancia de corriente en emisor común (pequeña}$$

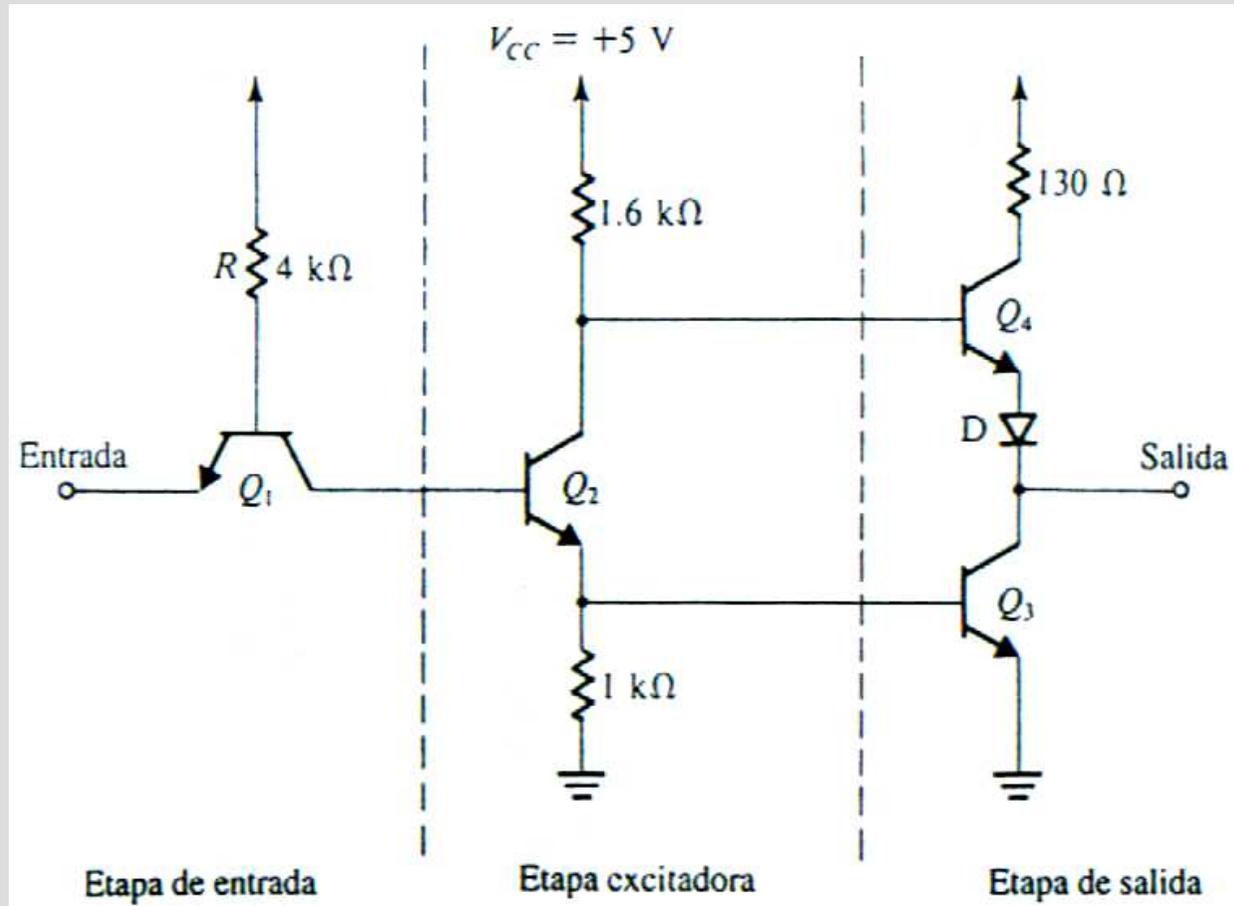
señal).



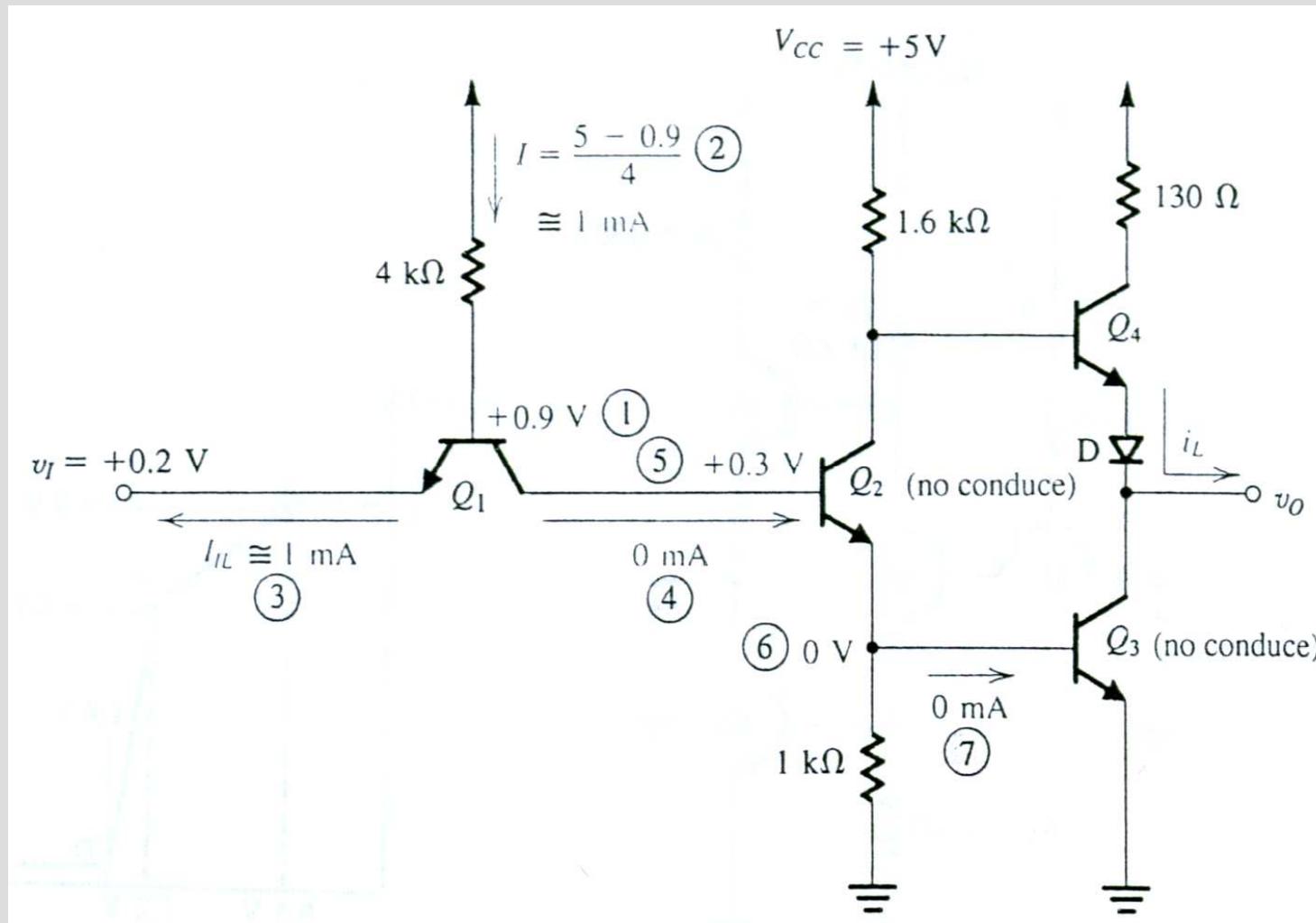
TTL: Tres tipos de salida



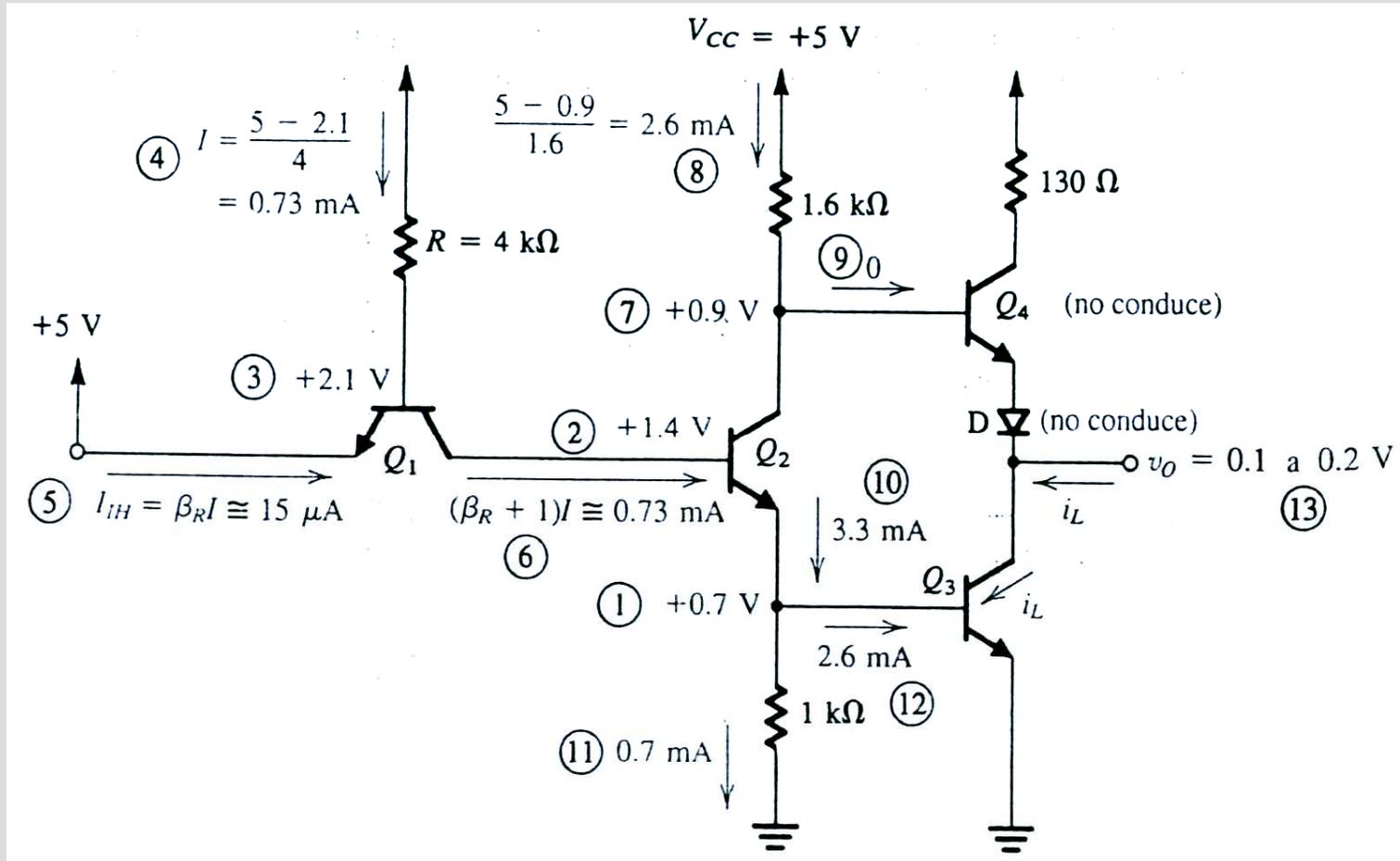
COMPUERTA TTL (Totem)



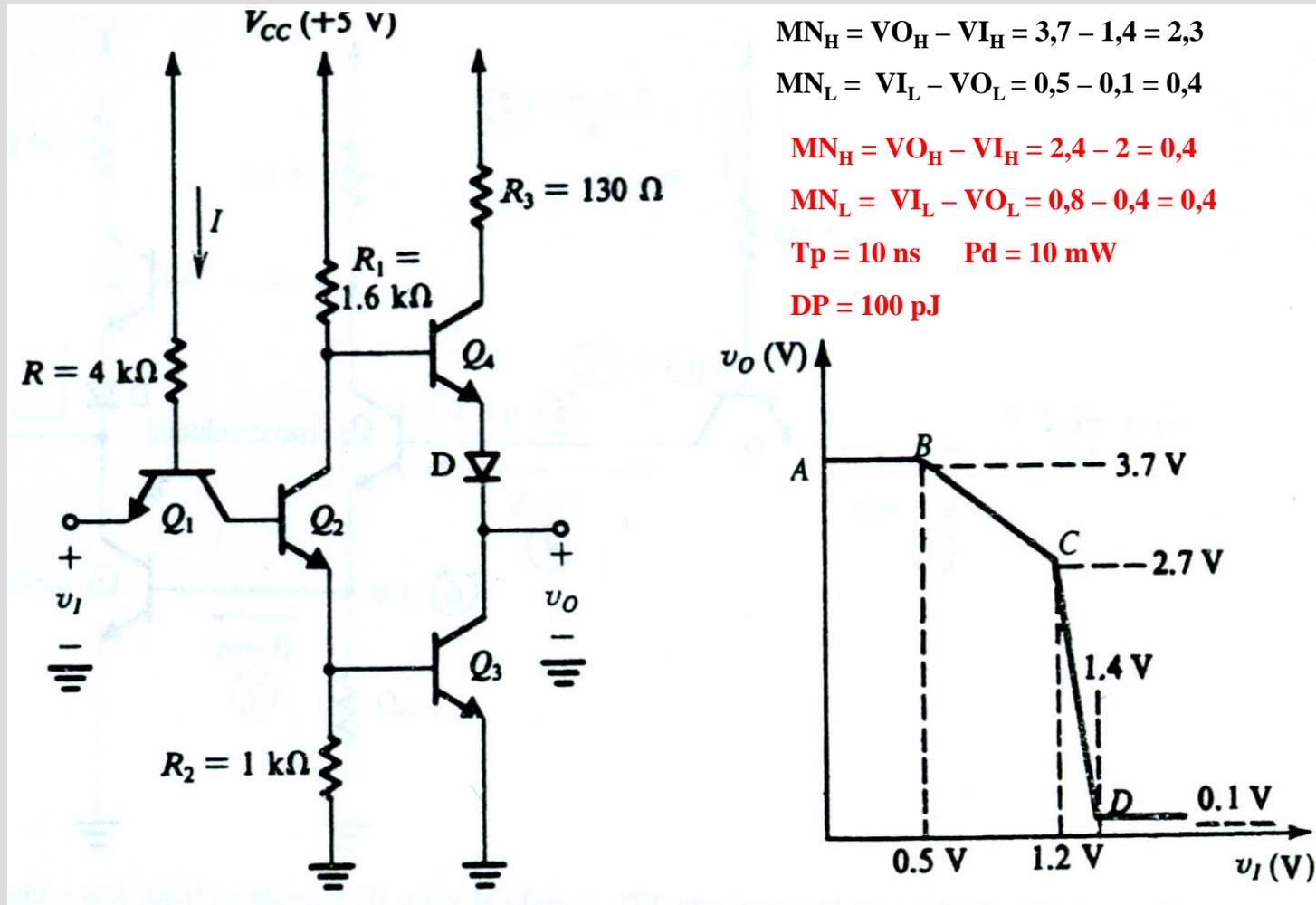
Entrada en bajo



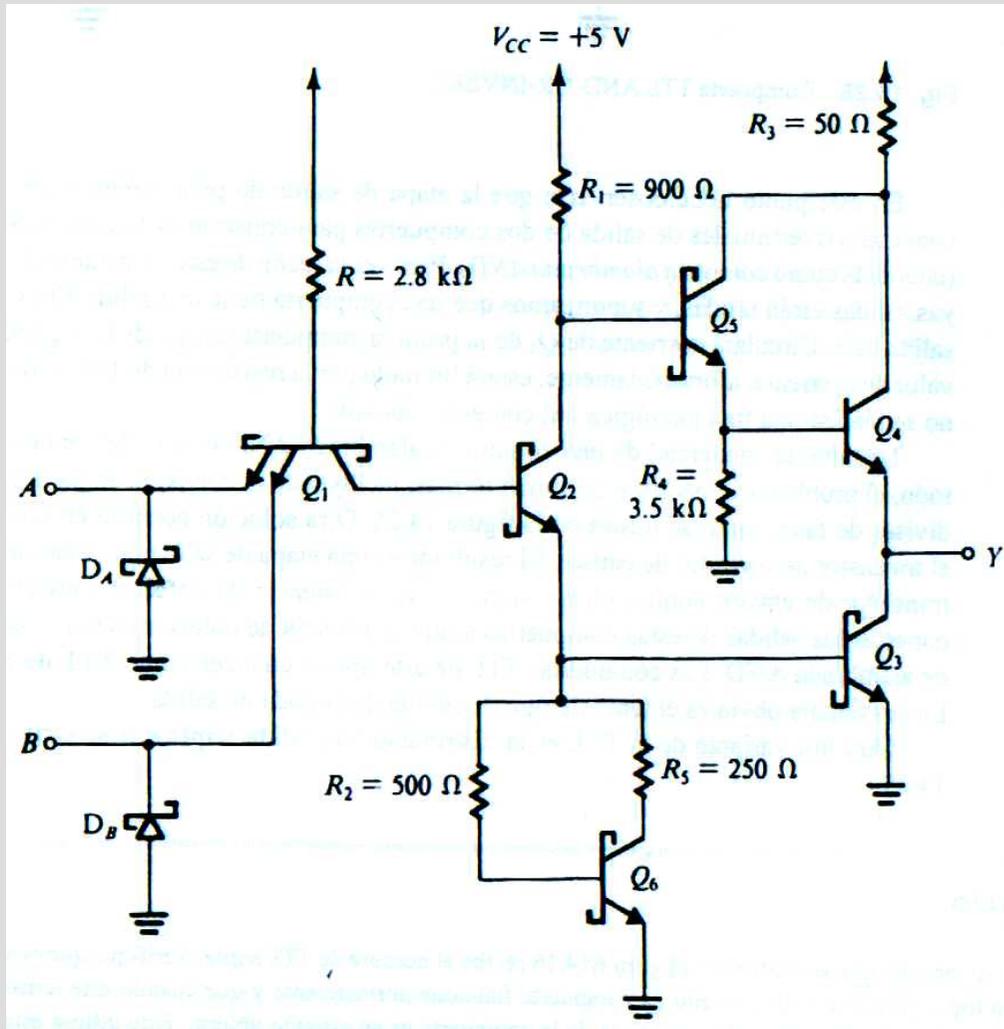
Entrada en alto



Característica de transferencia



TTL SCHOTTKY



$$MN_H = VO_H - VI_H = 2,7 - 2 = 0,7$$

$$MN_L = VI_L - VO_L = 0,8 - 0,5 = 0,3$$

$$T_p = 3 \text{ ns}$$

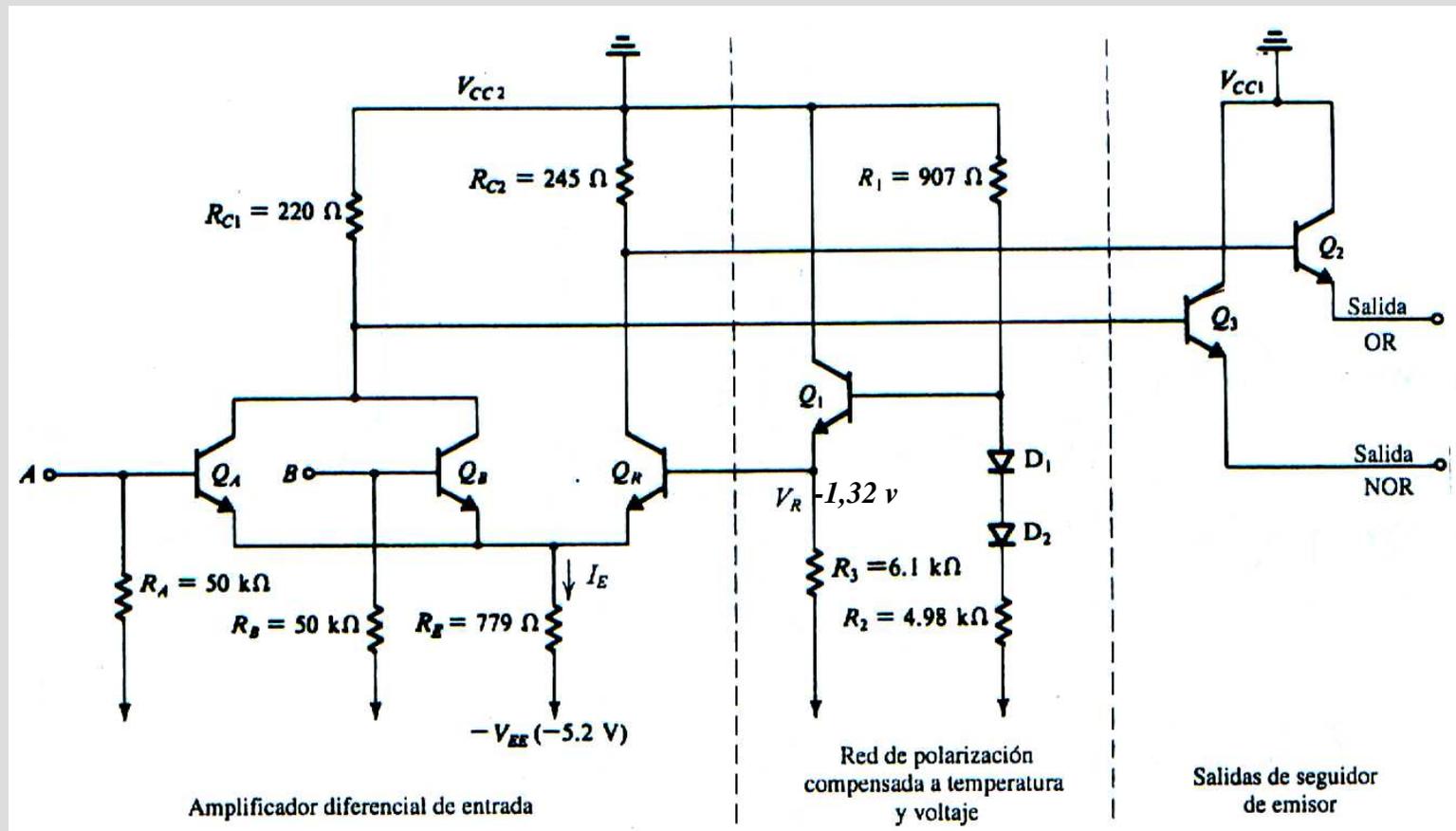
$$P_d = 20 \text{ mw}$$

$$DP = 60 \text{ pJ}$$

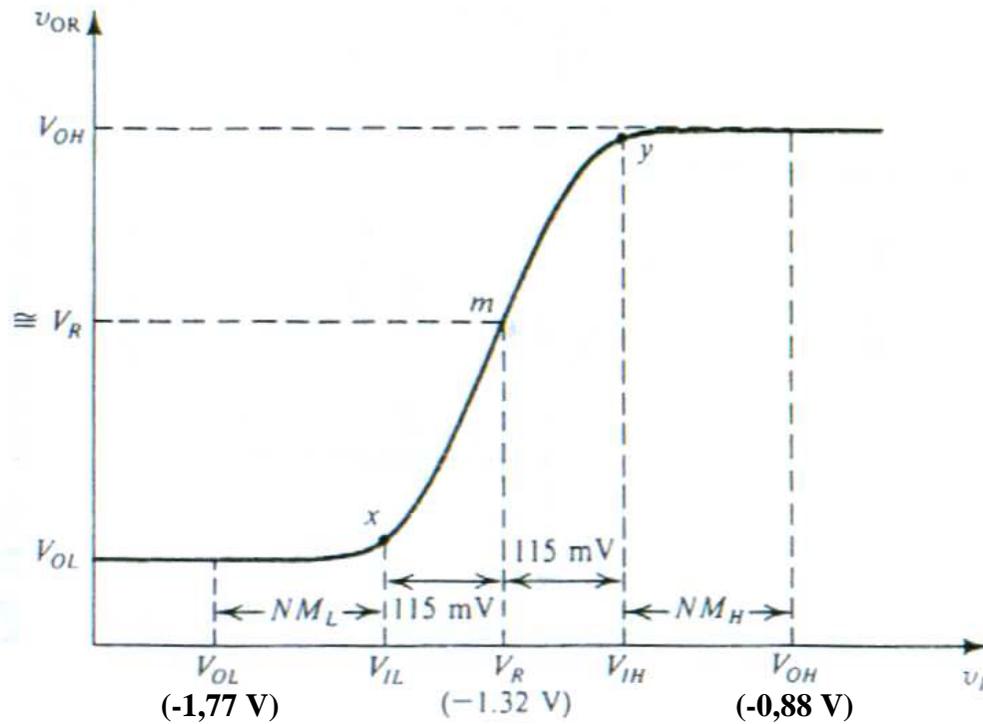
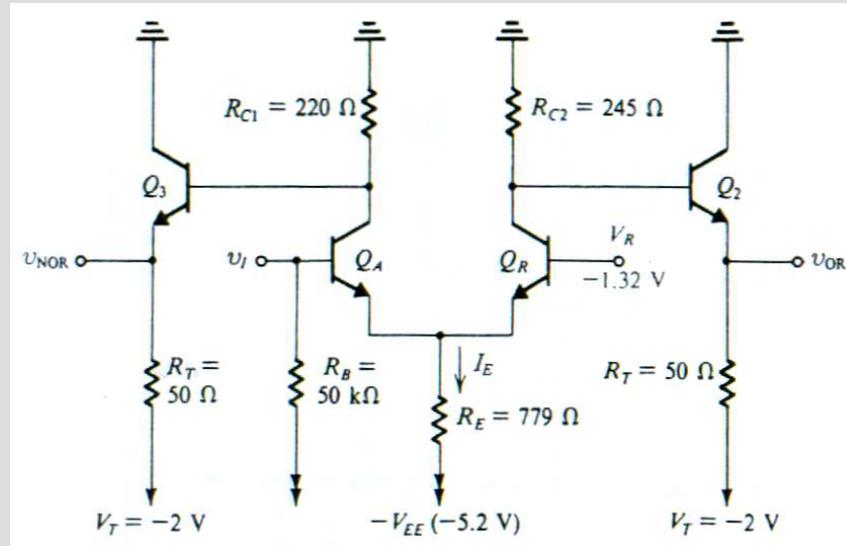
ECL

- **Transistores no saturados**
- **Alternancia pequeña (0,8 v)**
- **Basado en amplificador diferencial (menos susceptible al ruido)**
- **Corriente de alimentación constante (no hay picos)**
- **Disponibilidad de salidas complementarias**
- **Alta velocidad (0,75 ns para ECL100K)**
- **Potencia de disipación alta (40 mW para ECL100K)**
- **Aplicaciones en SSI, MSI, LSI y VLSI**

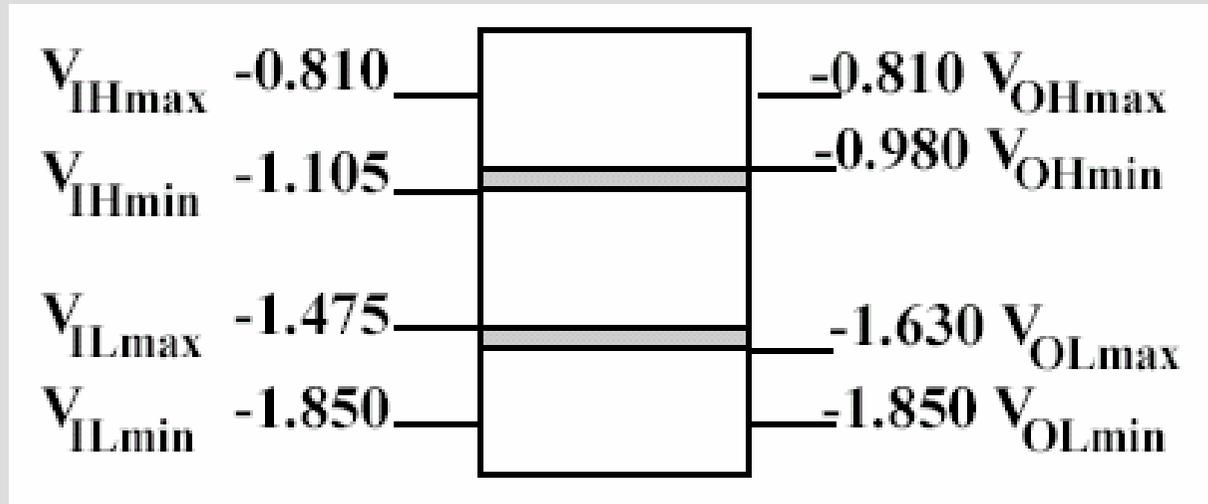
ECL



TRANSFERENCIA ECL



MARGEN DE RUIDO ECL



$$\begin{aligned} NM_H &= V_{OH} - V_{IH} \\ &= -0.88 - (-1.205) = 0.325 \text{ V} \end{aligned}$$

$$\begin{aligned} NM_L &= V_{IL} - V_{OL} \\ &= -1.435 - (-1.77) = 0.335 \text{ V} \end{aligned}$$

CMOS

Familias CMOS actuales

4000

Son las primeras pero están en desuso, admiten gran rango de alimentaciones y son muy robustas pero muy lentas.

HC y HCT

Las siglas significan High-speed CMOS y High-speed CMOS TTL-compatible

AC y ACT

Son mucho más rápidas que las anteriores y eliminan el problema de la poca cantidad de corriente a la salida que eran capaces de suministrar HC y HCT sus siglas significan Advanced CMOS v Advanced CMOS TTL-compatible

FCT y FCT-T

Salió a principios de esta década reduce el consumo de potencia y disminuye los retardos. Ambas son **TTL compatibles**.

Importante

FCT, FCT-T ↑

AC, ACT

HC, HCT

Prestaciones

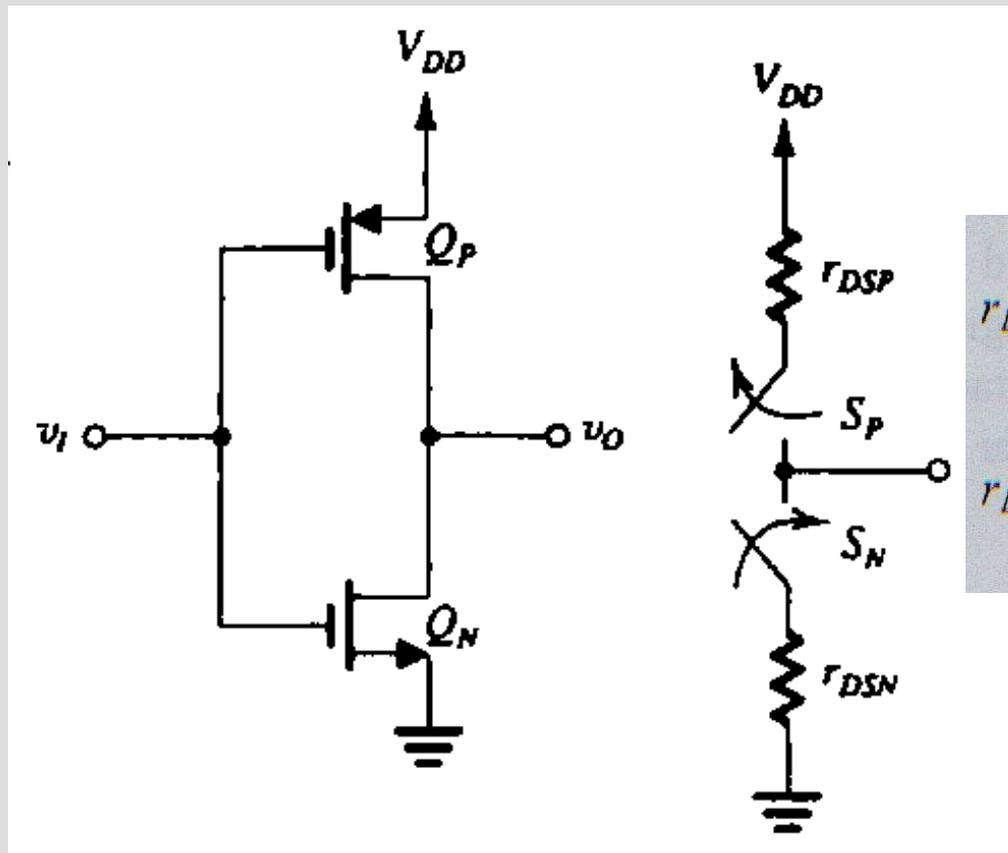
- Velocidad ↑
- Consumo ↓

Precio ↑

Características de las compuertas CMOS

- Independientemente del voltaje DC no fluye casi ninguna corriente a través compuerta. La impedancia entre la compuerta y los otros terminales es superior a un megohm. Y la corriente de fuga inferior a un microamperio.
 - Sin embargo, la compuerta esta acoplada capacitivamente a la fuente y el drenador → importante consumo de energía necesario para conmutar el transistor (CV^2f).
- No fluye corriente en la estructura de salida excepto cuando se produce la conmutación.
 - Ambos transistores están en ON.
 - El consumo de energía depende de la frecuencia.
 - Señales lentas → mayor consumo.
- Estructura de salida simétrica → igual capacidad de cargar la salida tanto en el estado lógico alto como bajo.

INVERTOR CMOS



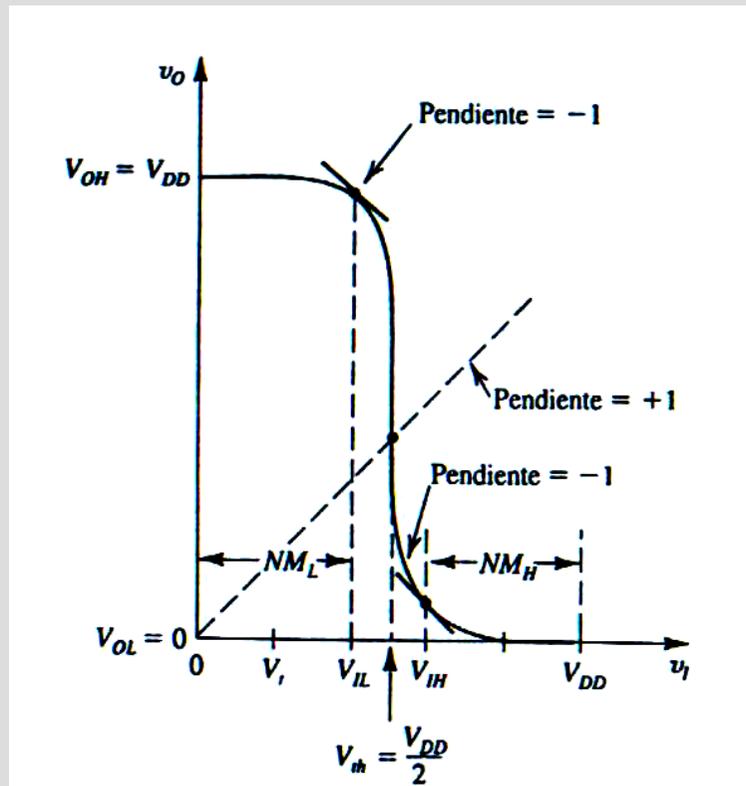
$$r_{DSN} = 1 / \left[k'_n \left(\frac{W}{L} \right)_n (V_{DD} - V_t) \right]$$

$$r_{DSP} = 1 / \left[k'_p \left(\frac{W}{L} \right)_p (V_{DD} - V_t) \right]$$

NOTAS

- k_n' : *transconductancia del NMOS proporcional a u_n*
- k_p' : *transconductancia del PMOS proporcional a u_p*
- W : *ancho del canal*
- L : *largo del canal*
- $V_{tp} = V_{tn} = 0,1$ a $0,2$ volt
- *Para igualar k_n a k_p el W_p debe ser de 2 a 3 veces el W_n*

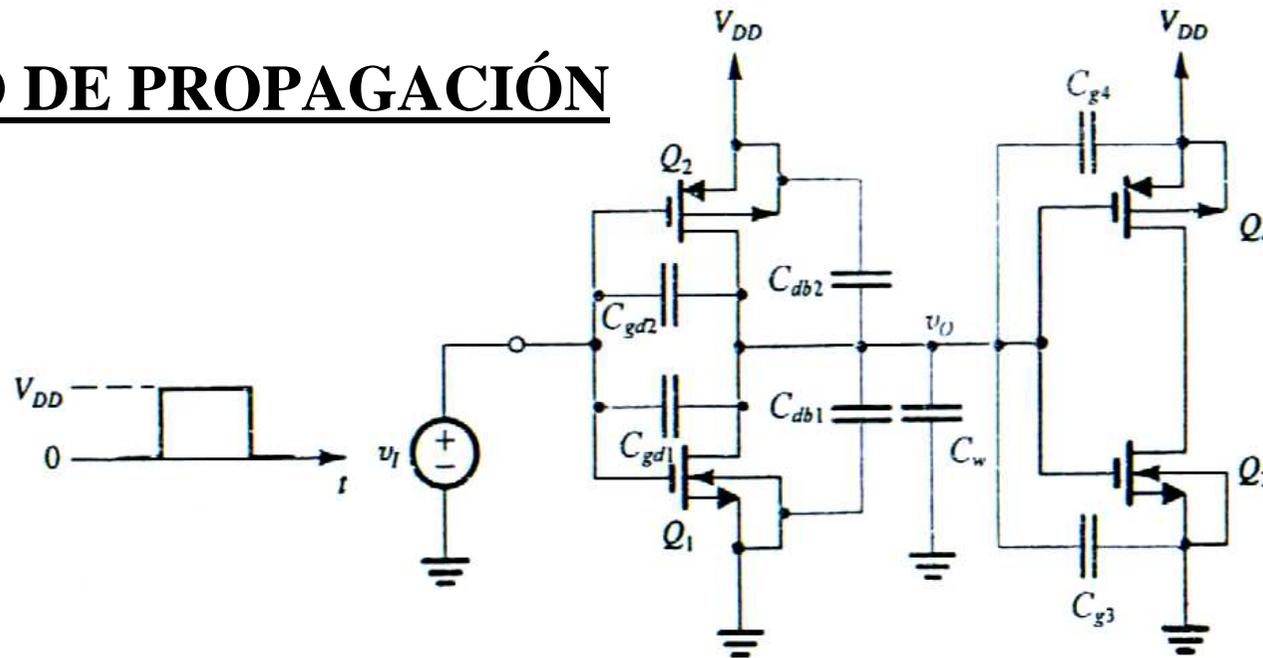
CARACTERÍSTICA DE TRANSFERENCIA



$$V_{th} = \frac{V_{DD} - |V_{tp}| + \sqrt{k_n/k_p} V_{tn}}{1 + \sqrt{k_n/k_p}}$$

$$NM_H = NM_L = \frac{3}{8} \left(V_{DD} + \frac{2}{3} V_t \right)$$

TIEMPO DE PROPAGACIÓN



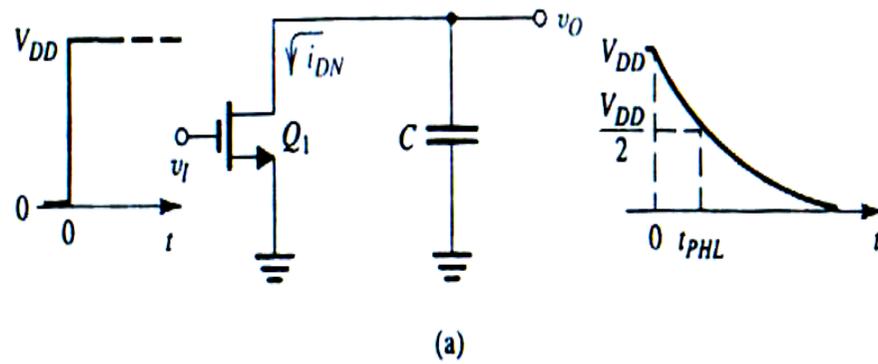
$$C = 2C_{gd1} + 2C_{gd2} + C_{db1} + C_{db2} + C_{g3} + C_{g4} + C_w$$

La capacitancia parásita proviene de al menos de tres fuentes:

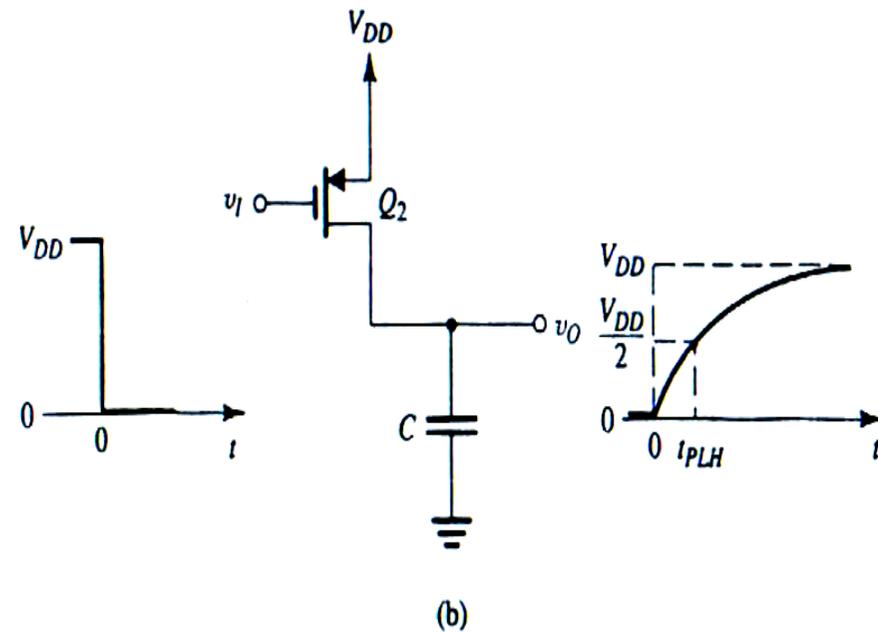
- Circuitos de salida, incluyendo los transistores de salida de la compuerta, cableado interno y encapsulado. $C= 2-10$ pF.
- El cableado que conecta una salida a otras entradas (1pF/inch).
- Los circuitos de entrada, incluyendo los transistores, el cableado interno y encapsulado. $C=2-15$ pF.

A LA CAPACITANCIA PARASITA SE LE CONOCE COMO CARGA DE CA O CARGA CAPACITIVA.

TIEMPO DE PROPAGACIÓN



$$t_{PHL} \cong \frac{1.7 C}{k'_n \left(\frac{W}{L}\right)_n V_{DD}}$$



$$t_{PLH} \cong \frac{1.7 C}{k'_p \left(\frac{W}{L}\right)_p V_{DD}}$$

Consumo de energía

Los CMOS presenta baja disipación estática y una significativa disipación dinámica.

La disipación dinámica se produce debido a que:

1º) Los CMOS de la estructura de salida se encuentran en un estado de cortocircuito parcial (el voltaje de entrada no esta cercano a 0v, o a Vdd).
=> los transistores de salida están parcialmente encendidos => $R \approx 600\Omega$.

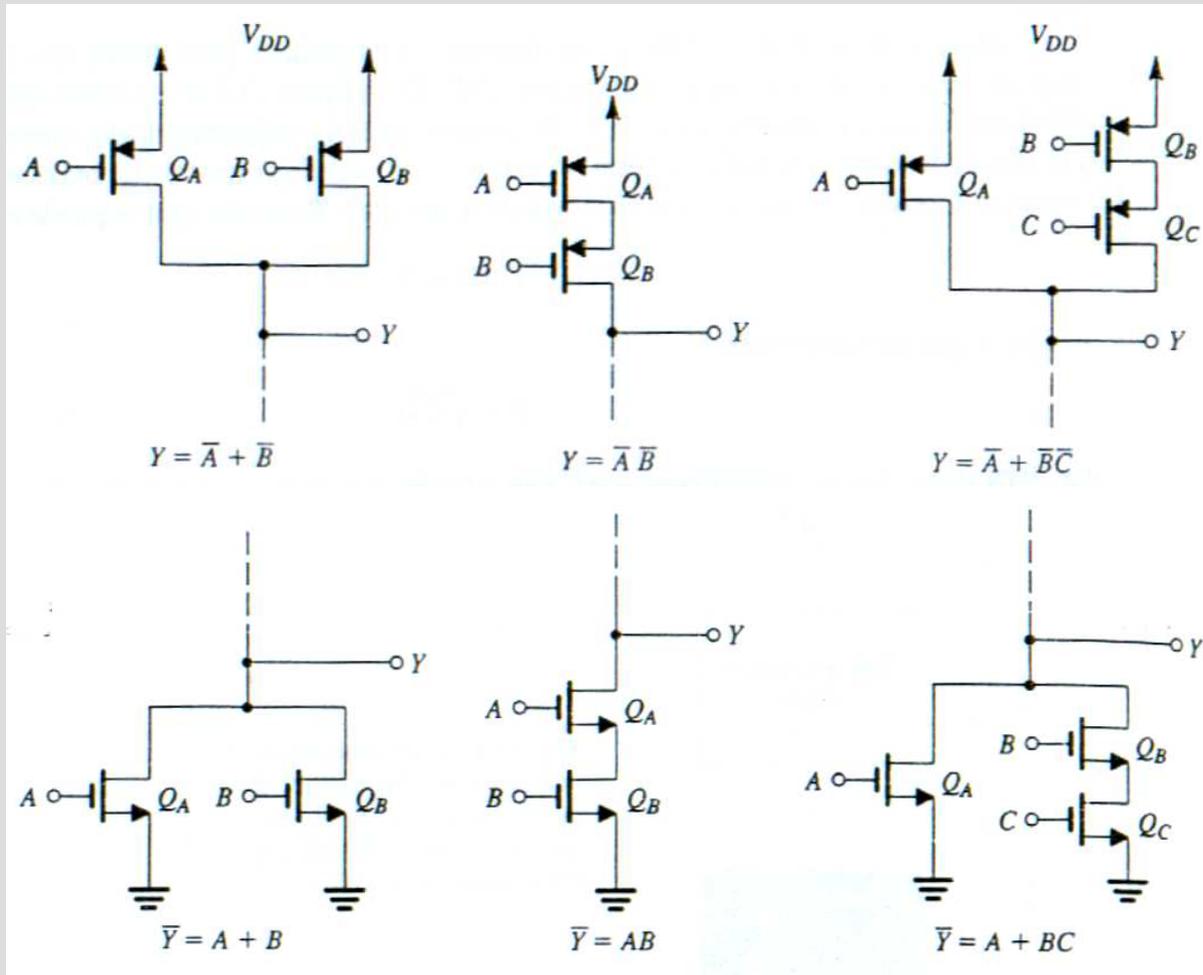
$$P_T = C_{PD} \cdot V_{CC}^2 \cdot f$$

Dato del fabricante ←

2º) La carga capacitiva de salida C_L se carga y descarga en las transiciones.

$$P_L = C_L \cdot V_{CC}^2 \cdot f$$

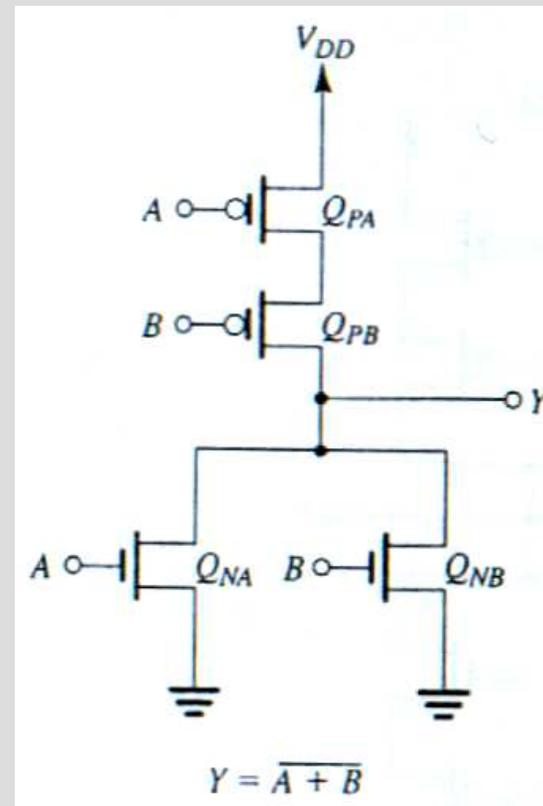
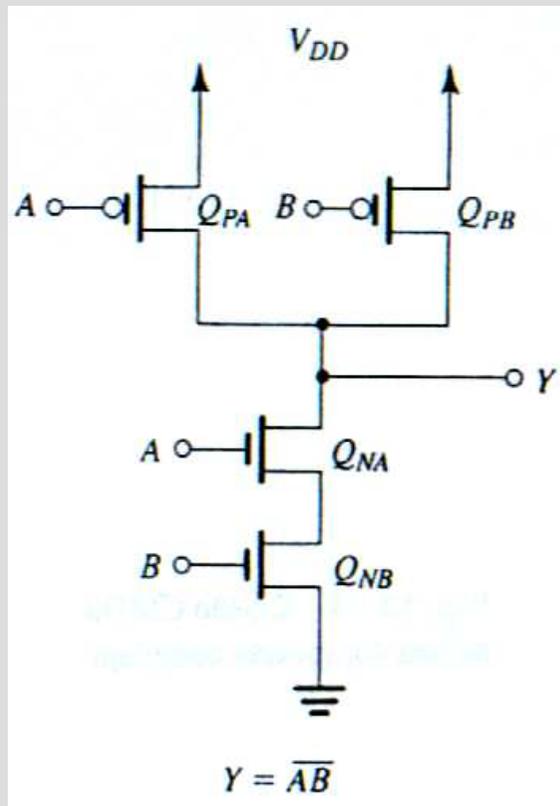
CIRCUITOS CMOS



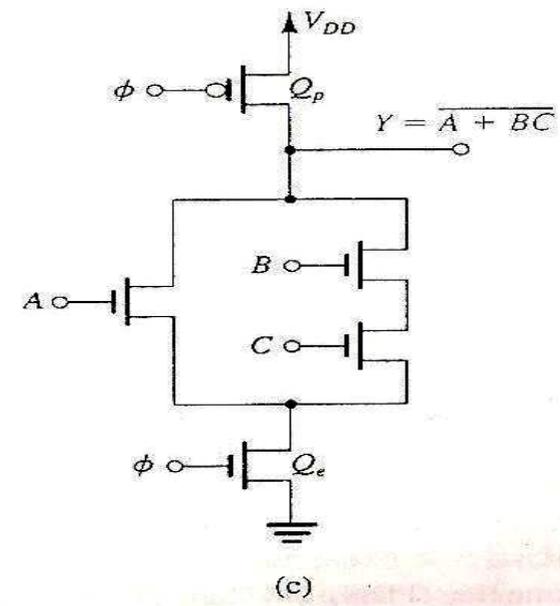
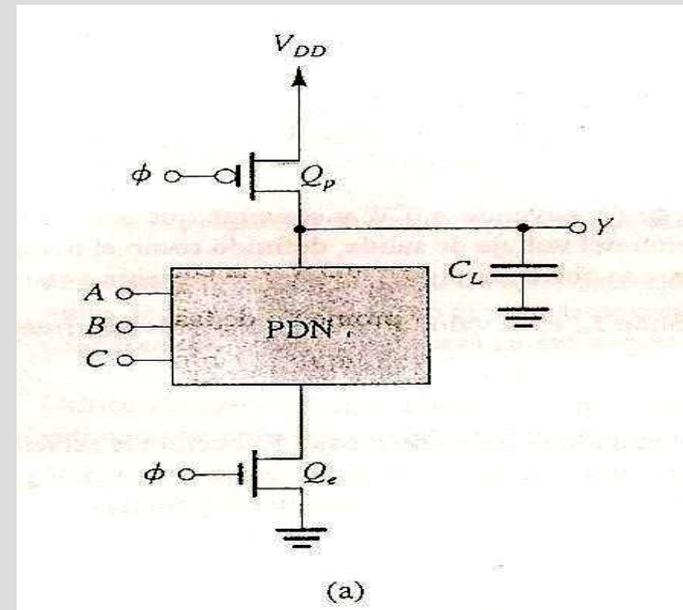
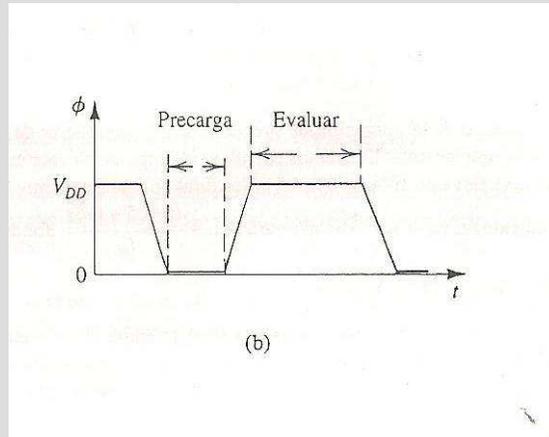
PUN

PDN

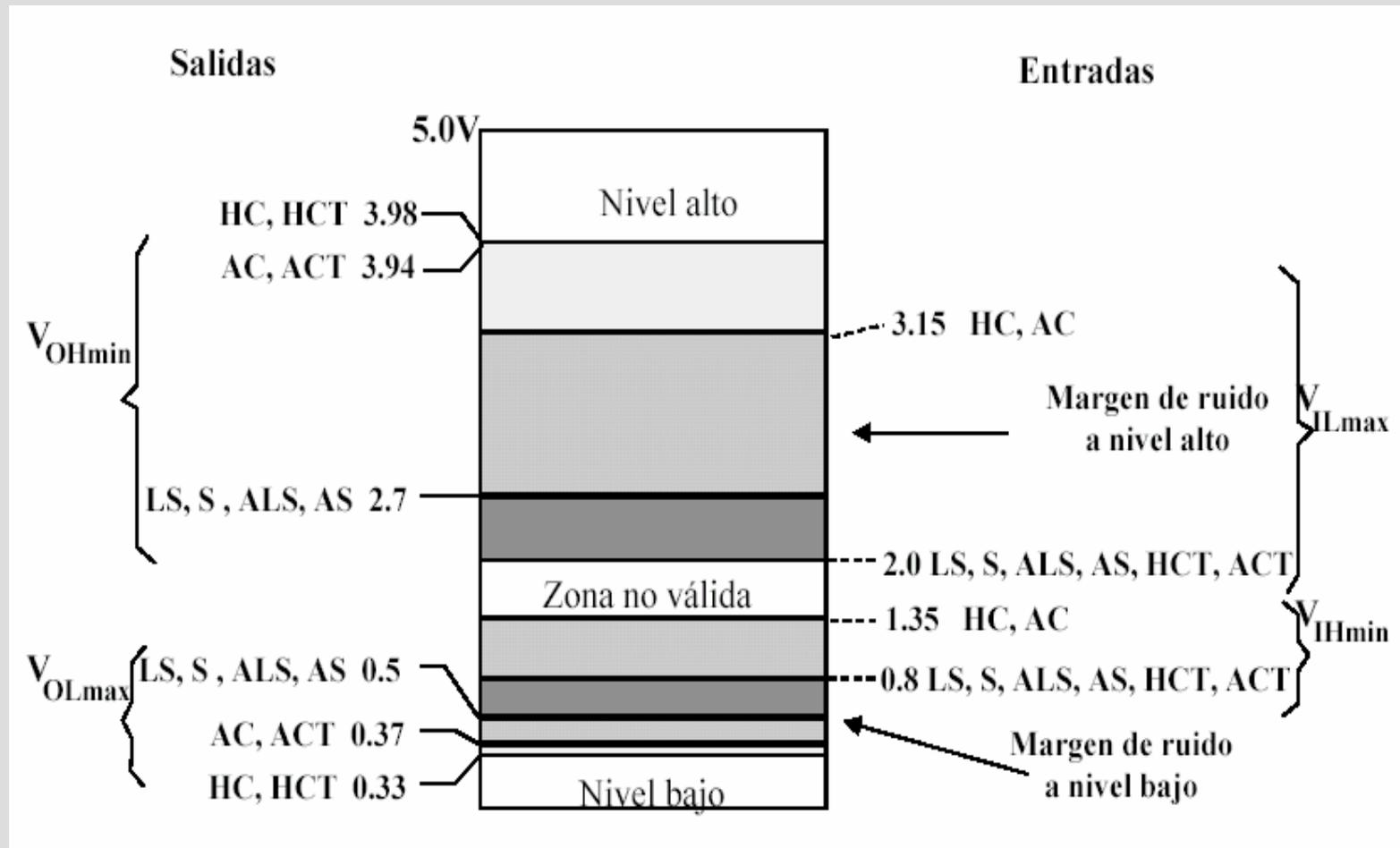
NAND, NOR CMOS



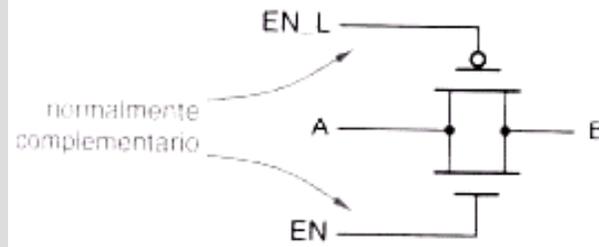
MOS DINAMICO



MARGEN DE RUIDO PARA DISTINTOS TIPOS DE CMOS

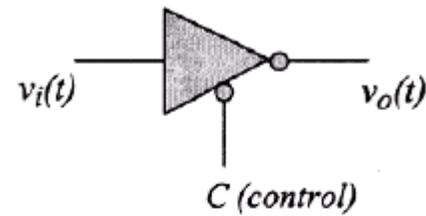
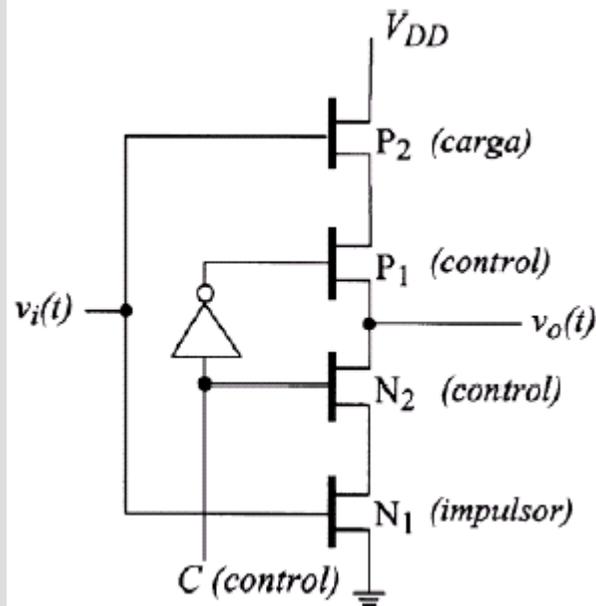


Compuertas de transmisión



Presentan tiempos de propagación muy bajos (0, 25 ns).

Salida triestado



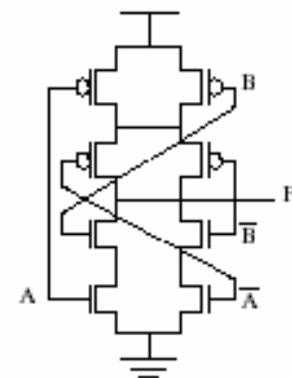
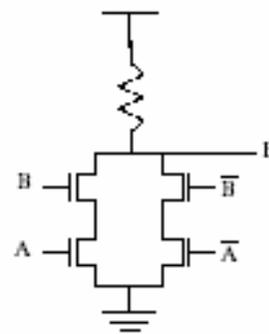
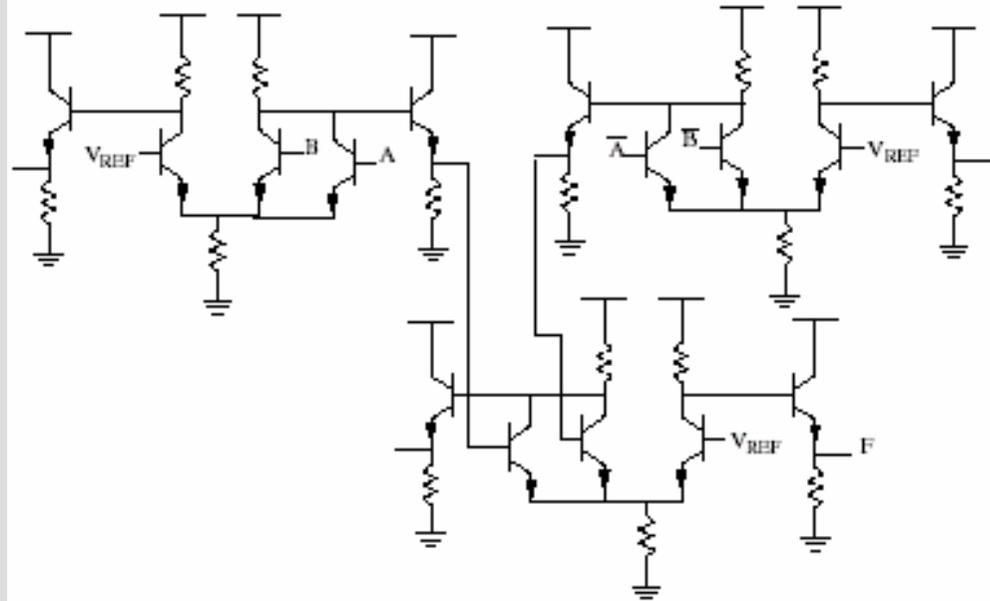
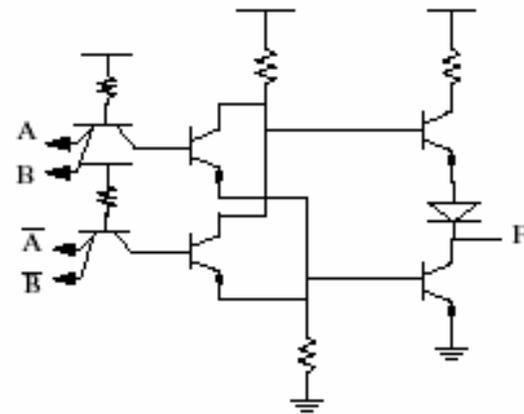
v_i	C	v_o
0	0	$\uparrow Z$
1	0	$\uparrow Z$
0	1	1
1	1	0

COMPARACIÓN ENTRE FAMILIAS LÓGICAS

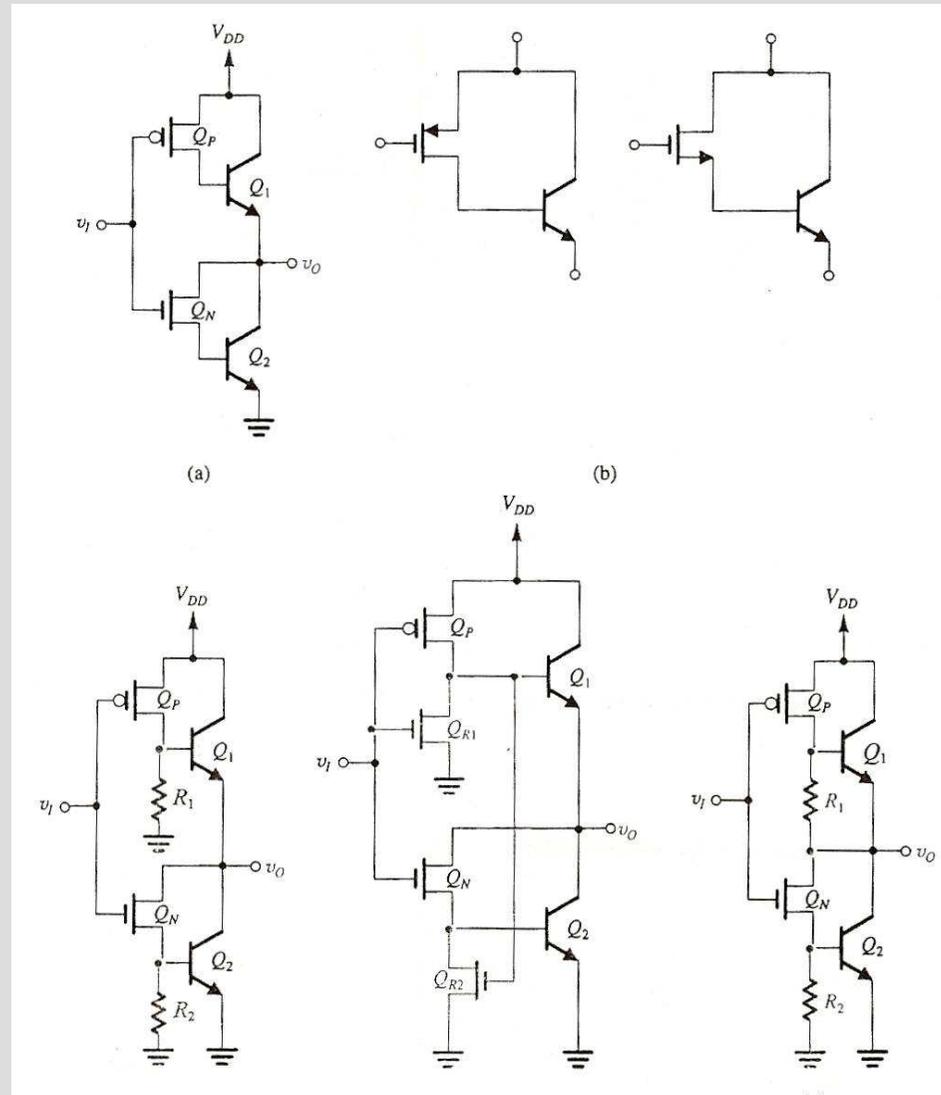
Familia	Ventajas	Inconvenientes	Otras familias mejoradas
TTL (74xx)	<ul style="list-style-type: none"> • <i>El menor producto retardo por disipación de potencia</i> • Buena flexibilidad lógica • Baja impedancia de salida • Buena inmunidad al ruido • Numerosas funciones 	<ul style="list-style-type: none"> • Generación de ruido 	74Hxx 74Sxx 74Lxx 74LSxx 74ASxx 74ALSxx
ECL	<ul style="list-style-type: none"> • <i>El menor retardo de propagación</i> • Buena flexibilidad lógica • Salidas complementarias • Baja impedancia de salida • Buena inmunidad al ruido • Baja generación de ruido 	<ul style="list-style-type: none"> • Alta disipación (40 mW) • Necesita circuito de adaptación con otras familias 	MECL 10K MECL 100K MECL 300K
MOS	<ul style="list-style-type: none"> • Alto fan-out • Gran densidad de integración • La NMOS es más rápida que la PMOS 	<ul style="list-style-type: none"> • Incompatibilidad con otras familias • Alta impedancia de salida • No admite cableado lógico • <u>Baja</u> velocidad PMOS 	
CMOS (400Cxx, 74Cxx)	<ul style="list-style-type: none"> • <i>*La de menor disipación de potencia</i> • Amplios márgenes de ruido • Alto fan-out y alto fan-in • Amplios márgenes en la alimentación • Buena inmunidad al ruido 	<ul style="list-style-type: none"> • No admite cableado lógico • Menos rápida que TTL y ECL 	74HCxx: 74HCTxx 74ACTxx 74AHCTxx 74FCTxx 74ACTQxx 74VHCxx <u>74VHCTxx</u>

EJEMPLOS DE COMPUERTAS

- TTL --> $\bar{F} = A \cdot B + \bar{A} \cdot \bar{B}$
- ECL --> $\bar{F} = (A+B)' + (A'+B)'$
- NMOS --> $\bar{F} = A \cdot B + \bar{A} \cdot \bar{B}$
- CMOS --> $\bar{F} = A \cdot B + \bar{A} \cdot \bar{B}$



BICMOS



BICMOS

