

Comunicaciones Serie Z80 SIO

Gustavo Mercado
gmercado@frm.utn.edu.ar
Técnicas Digitales II
UTN-FRM

Zilog Z80 SIO

- Familia Z80
- Serial Input Output
- Doble Canal Serie - Multifunción
- Comunicación Serie Asincrónica
- Comunicación Serie Sincrónica
 - Orientada a byte (IBM Bisync)
 - Orientada a bit (HDLC SDCL)

Características del Z80-SIO

- Versiones CMOS y NMOS
- Empaquetamiento en 40-Pin DIP, 44-Pin PLCC/QFP
- Fuente de Alimentación Sencilla de 5V
- Reloj de Fase Sencilla de 5V
- Entradas y Salidas compatibles con TTL
- Dos canales independientes Full Duplex

24/10/2001

Tecnicas Digitales II

3

Características del Z80-SIO

- Velocidades de Datos en modos Synchronous or Isosynchronous:
 - 0-800K Bits/Second with 4 MHz System Clock Rate
 - 0-1.2M Bits/Second with 6 MHz System Clock Rate
 - 0-2.5M Bits/Second with 10 MHz System Clock Rate
- Cuádruple registro buffer para datos de recepción
- Doble registro buffer para datos de transmisión

24/10/2001

Tecnicas Digitales II

4

Características del Z80-SIO

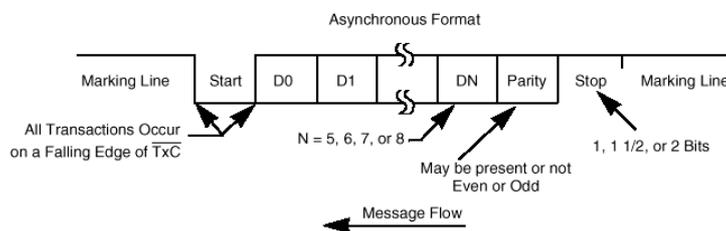
- Características de modo Asincrónico
 - 5, 6, 7, or 8 Bits por Carácter
 - 1, 1 1/2, or 2 Stop Bits
 - Paridad Par (Even), Impar (Odd) o No Parity
 - Modos de Reloj x1, x16, x32, and x64
 - Generación y Detección de bit de parada (Break)
 - Detección de errores de Paridad (Parity), Sobre escritura (Overrun) y de Frameo (Framing)

24/10/2001

Tecnicas Digitales II

5

Modo Asincronico



24/10/2001

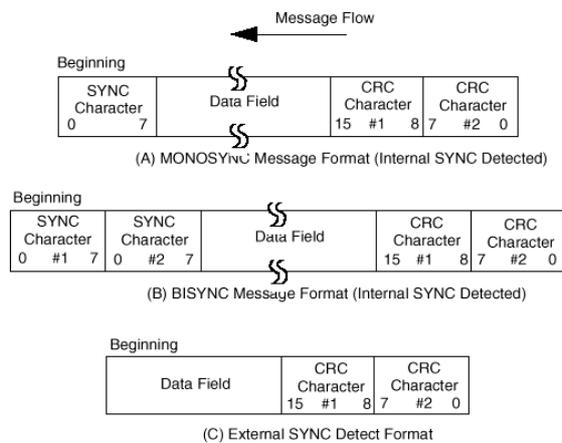
Tecnicas Digitales II

6

Características del Z80-SIO

- Características del modo Sincrónico Binario
 - Sincronización de Carácter Interna o Externa
 - Uno o Dos Caracteres de Sincronización (SYNC) en registros separados
 - Inserción de caracteres Sync automática
 - Generación y Comprobación de CRC (Cyclic Redundancy Code)

Modo Sincronico (Sync)



Características del Z80-SIO

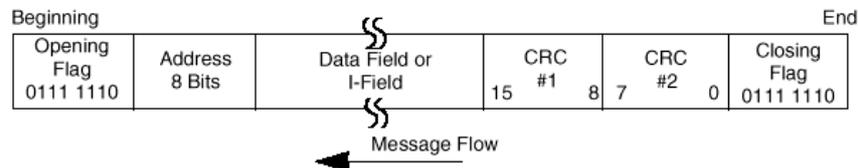
- Características de modo HDLC y SDLC
 - Generación y detección de la secuencia de aborto (Abort Sequence)
 - Inserción y eliminación automática de Zero
 - Inserción automática de Flag entre mensajes
 - Reconocimiento de campo de dirección (Address Field)
 - Manejo de residuo del I-Field
 - Mensaje de recepción válido protegido contra Overrun

24/10/2001

Tecnicas Digitales II

9

Modo Sincronico (HDLC)



24/10/2001

Tecnicas Digitales II

10

Características del Z80-SIO

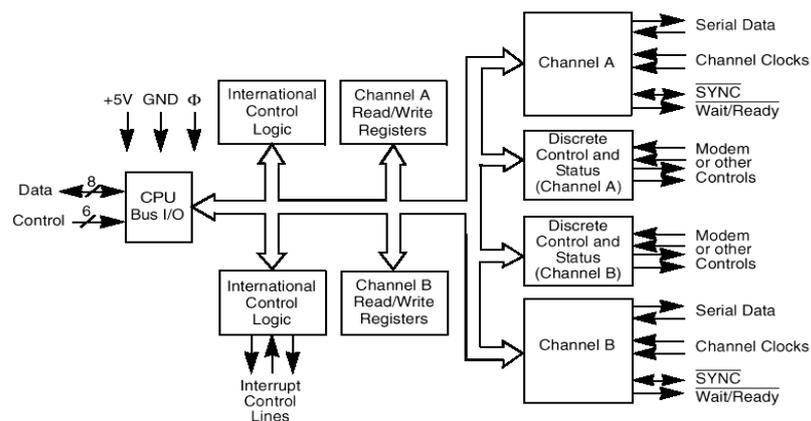
- Generación y Comprobación de CRC (Cyclic Redundancy Code)
- Control Modem Separado para ambos canales
- Comprobación de CRC-16 or CRC-CCITT
- Lógica de prioridad de interrupciones por Daisy-Chain provee vectorización automática sin lógica externa
- El estado del Modem puede ser monitoreado

24/10/2001

Tecnicas Digitales II

11

SIO Estructura Externa



24/10/2001

Tecnicas Digitales II

12

SIO Registros de Configuración

Table 1. Write Register Functions

Bit	Function
WR0	Register pointers, CRC initialize, initialization commands for the various modes and more
WR1	Transmit/Receive interrupt and data transfer mode definition
WR2	Interrupt vector (Channel B only)
WR3	Receive parameters and controls
WR4	Transmit/Receive miscellaneous parameters and modes
WR5	Transmit parameters and controls
WR6	Sync character or SDLC address field
WR7	Sync character or SDLC flag

Table 2. Read Register Functions

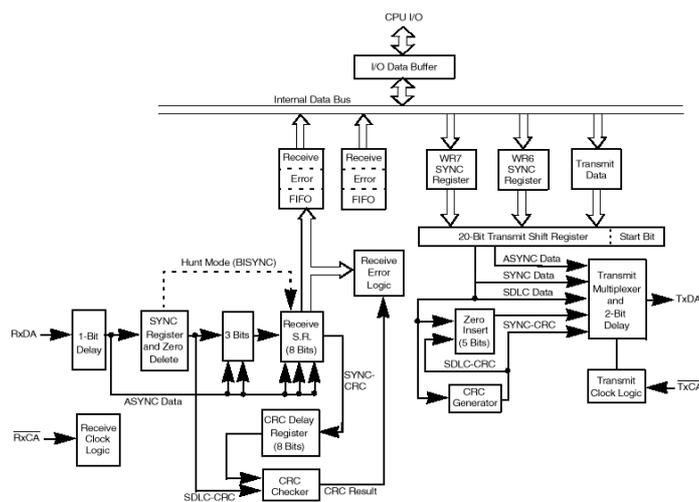
Bit	Function
RR0	Transmit/Receive buffer status, interrupt status, and external status
RR1	Special Receive Condition status
RR2	Modified interrupt vector (Channel B only)

24/10/2001

Tecnicas Digitales II

13

SIO Estructura Interna

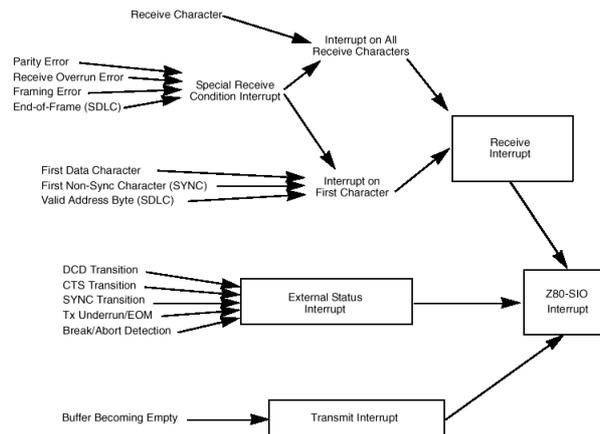


24/10/2001

Tecnicas Digitales II

14

Estructura de Interrupciones



24/10/2001

Tecnicas Digitales II

15

Bibliografía

- **“Z-80 SIO Technical Manual” Zilog 1986**
- **“Z80 Family CPU Peripherals User Manual” Zilog 2001, UM008101-0601**

24/10/2001

Tecnicas Digitales II

16