

## Unidad 5 Caso de Estudio

# Arquitectura ISA

Técnicas Digitales II  
UTN-FRM

Ver. 1.0-NOV-99

técnicas digitales 2

## Introducción

técnicas digitales 2

- Se presenta la Arquitectura ISA.
  - Arquitectura ISA como máquina multinivel
  - Nivel de Lógica Digital: La familia INTEL 80x86
  - Modelo Estructural de la IBM PC
  - Modelos Funcional y Estructural del bus ISA
  - Distintos buses de computadoras comerciales
  - Análisis de los buses más usuales en la PC
- Bibliografía
  - “Introducción al Bus ISA”, Gustavo Mercado, UTN-FRM, 1999.
  - “Microprocessors”, INTEL, 1992
  - “Lenguaje Ensamblador para Microcomputadoras IBM”, J. Terry Godfrey, PHH
  - “PC-AT Technical Reference” IBM, 1985
- Autor:
  - Ing. Gustavo Mercado (gmercado@frm.utn.edu.ar)

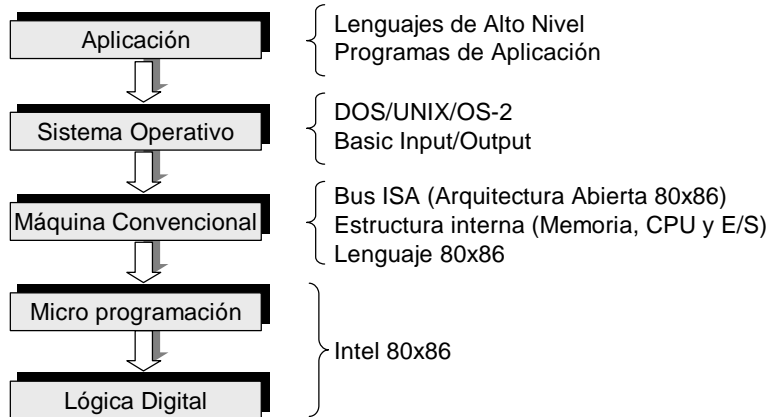
07/11/99

UNIDAD 5 TD II FRM UTN

2

# ISA Multi Nivel

técnicas digitales 2



07/11/99

UNIDAD 5 TD II FRM UTN

3

# Intel 80x86

técnicas digitales 2

<b>Registro Acumulador</b>	15 AH AL 0	<b>AX</b>	Registro de Propósito General	<b>Indice Destino</b>	15 0	<b>DI</b>	Registro de Offset
<b>Registro Base</b>	15 BH BL 0	<b>BX</b>	Registro de Propósito General	<b>Indice Fuente</b>	15 0	<b>SI</b>	Registro de Offset
<b>Registro Contador</b>	15 CH CL 0	<b>CX</b>	Registro de Propósito General	<b>Segmento de Datos</b>	15 0	<b>DS</b>	Registro de Segmento
<b>Registro de Datos</b>	15 DH DL 0	<b>DX</b>	Registro de Propósito General	<b>Segmento Extra</b>	15 0	<b>ES</b>	Registro de Segmento
<b>Puntero de Base</b>	15 0	<b>BP</b>	Registro de Offset	<b>Segmento de Pila</b>	15 0	<b>SS</b>	Registro de Segmento
<b>Puntero de Instrucciones</b>	15 0	<b>IP</b>	Registro de Offset	<b>Segmento de Código</b>	15 0	<b>CS</b>	Registro de Segmento
<b>Puntero de Pila</b>	15 0	<b>SP</b>	Registro de Offset	<b>Banderas</b>	15 0		

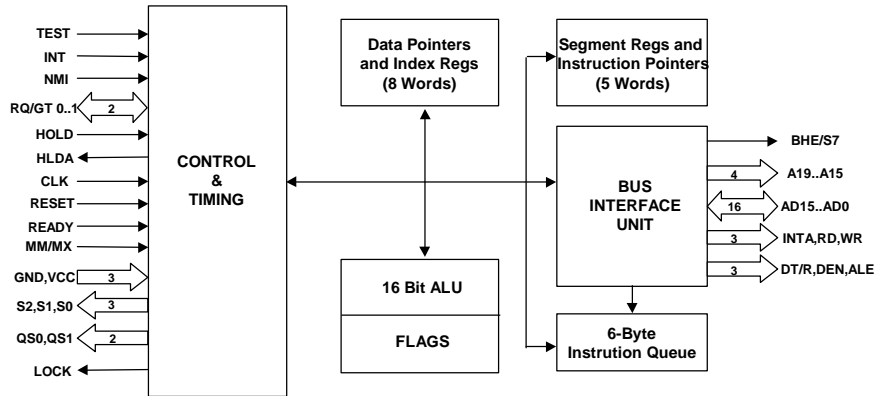
07/11/99

UNIDAD 5 TD II FRM UTN

4

# Intel 80x86 Arquitectura

técnicas digitales 2



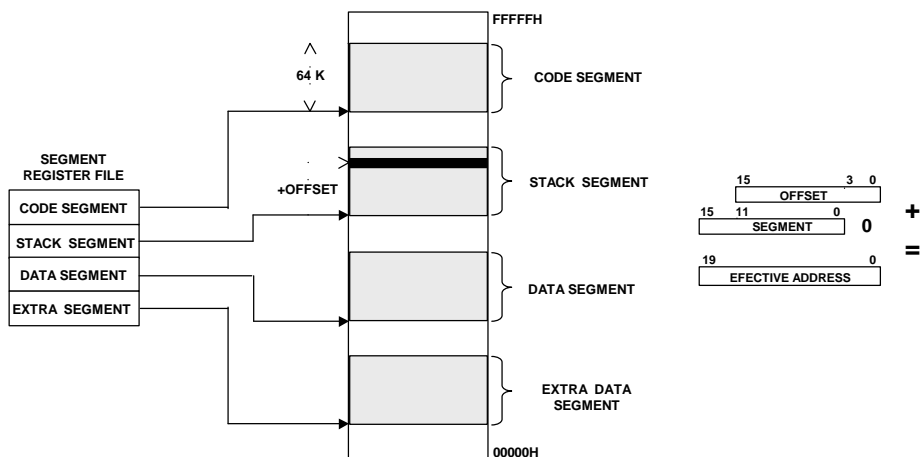
07/11/99

UNIDAD 5 TD II FRM UTN

5

# Intel 80x86 Organización de Memoria

técnicas digitales 2



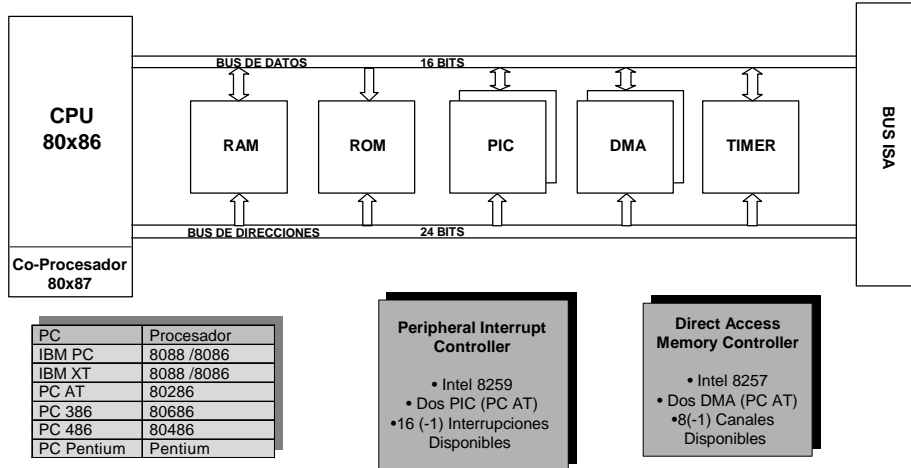
07/11/99

UNIDAD 5 TD II FRM UTN

6

# PC Máquina Convencional

técnicas digitales 2



07/11/99

UNIDAD 5 TD II FRM UTN

7

# PC Organización de Memoria

técnicas digitales 2

Address	Name	Function
000000	07FFFF	512 System Board
080000	09FFFF	128K
0A0000	0BFFFF	128K Video RAM
0C0000	0DFFFF	128K I/O Expansion ROM
0E0000	0EFFFF	64 K reserved on system board
0F0000	0FFFFFFF	64 K ROM on system board
100000	FDFFFF	Maximum memory 15MB
FE0000	FEFFFF	64 K reserved on system board
FF0000	FFFFFFF	64 K ROM on system board

07/11/99

UNIDAD 5 TD II FRM UTN

8

# BUS ISA

técnicas digitales 2

- ISA Industrial Standard Architecture
- Creado por IBM para su PC-AT (Advanced Technology 1984)
- Normalizado por IEEE (P996)
- Es una extensión del bus de 80x86
- Bus asincrónico con 18 líneas de control
- 16 líneas de datos
- 24 líneas de direcciones (16 Mbytes)
- 11 líneas de interrupciones
- 7 canales de DMA
- 1 a 2.5 MB/s de velocidad típica
- Usado ampliamente en las computadoras PC compatibles
- Actualmente utilizado para periféricos de bajo ancho de banda

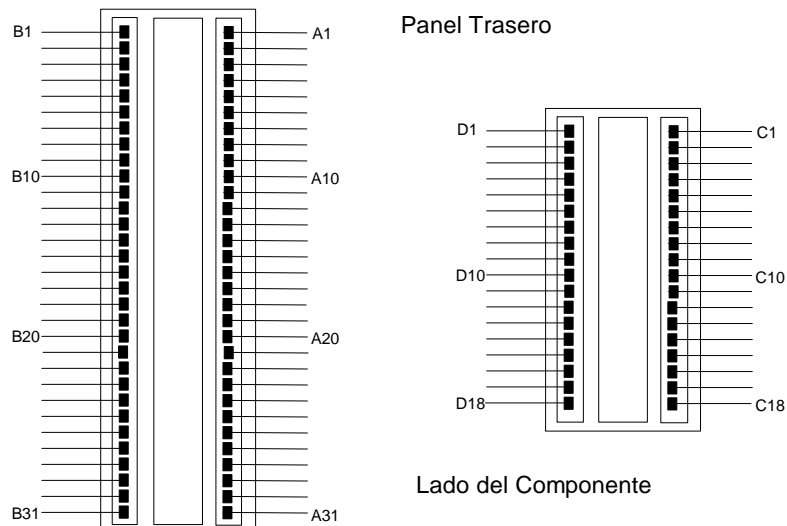
07/11/99

UNIDAD 5 TD II FRM UTN

9

# BUS ISA Conector

técnicas digitales 2



07/11/99

UNIDAD 5 TD II FRM UTN

10

## BUS ISA Descripción de pines

técnicas digitales 2

Pin	Nombre	Dir	Descripción	Pin	Nombre	Dir	Descripción
A1	-I/OCHCK	?	I/O Channel check Active low =parity error	A16	SA15	?	Address bit 15
A2	SD7	†	Data bit 7	A17	SA14	?	Address bit 14
A3	SD6	†	Data bit 6	A18	SA13	?	Address bit 13
A4	SD5	†	Data bit 5	A19	SA12	?	Address bit 12
A5	SD4	†	Data bit 4	A20	SA11	?	Address bit 11
A6	SD3	†	Data bit 3	A21	SA10	?	Address bit 10
A7	SD2	†	Data bit 2	A22	SA9	?	Address bit 9
A8	SD1	†	Data bit 1	A23	SA8	?	Address bit 8
A9	SD0	†	Data bit 0	A24	SA7	?	Address bit 7
A10	-I/OCH RDY	?	I/O Channel Ready, pulled low to lengthen memory cycles	A25	SA6	?	Address bit 6
A11	AEN	?	Address enable; active high when DMA controls bus	A26	SA5	?	Address bit 5
A12	SA19	?	Address bit 19	A27	SA4	?	Address bit 4
A13	SA18	?	Address bit 18	A28	SA3	?	Address bit 3
A14	SA17	?	Address bit 17	A29	SA2	?	Address bit 2
A15	SA16	?	Address bit 16	A30	SA1	?	Address bit 1
				A31	SA0	?	Address bit 0

07/11/99

UNIDAD 5 TD II FRM UTN

11

## BUS ISA Descripción de señales

técnicas digitales 2

Pin	Nombre	Dir	Descripción	Pin	Nombre	Dir	Descripción
B1	GND	-	Ground	B16	DRQ3	?	DMA Request 3
B2	RESET	?	Active high to reset or initialize system logic	B17	-DACK1	?	DMA Acknowledge 1
B3	+5V	-	+5VDC	B18	DRQ1	?	DMA Request 1
B4	IRQ2	?	Interrupt Request 2	B19	-REFRESH	†	Refresh
B5	-5VDC	-	+5VDC	B20	CLK	?	System Clock (67ns, 8.33 MHz, 50% d-c)
B6	DRQ2	?	DMA Request 2	B21	IRQ7	?	Interrupt Request 7
B7	-12VDC	-	-12VDC	B22	IRQ6	?	Interrupt Request 6
B8	-NOWS	?	No wait state	B23	IRQ5	?	Interrupt Request 5
B9	+12VDC	-	+12VDC	B24	IRQ4	?	Interrupt Request 4
B10	GND	-	Ground	B25	IRQ3	?	Interrupt Request 3
B11	-SMENW	?	System Memory Write	B26	-DACK2	?	DMA Acknowledge 2
B12	-SMENR	?	System Memory Read	B27	T/C	?	Terminal Count, DMA
B13	-IOW	?	I/O Write	B28	ALE	?	Address Latch Enable
B14	-IOR	?	I/O Read	B29	+5V	-	+5VDC
B15	-DACK3	?	DMA Acknowledge 3	B30	OSC	?	High Speed Clock (70ns, 14.3118 MHz, 50% d-c)
				B31	GND	-	Ground

07/11/99

UNIDAD 5 TD II FRM UTN

12

## BUS ISA Descripción de señales

técnicas digitales 2

Pin	Nombre	Dir	Descripción	Pin	Nombre	Dir	Descripción
C1	SBHE	↑	System bus high enable (data available on SD8-15)	D1	-MEMCS16	?	Memory 16-bit chip select (1wait, 16-bit memory cycle)
C2	LA23	↑	Address bit 23	D2	-IOCS16	?	I/O 16-bit chip select (1wait, 16-bit I/O cycle)
C3	LA22	↑	Address bit 22	D3	IRQ10	?	Interrupt Request 10
C4	LA21	↑	Address bit 21	D4	IRQ11	?	Interrupt Request 11
C5	LA20	↑	Address bit 20	D5	IRQ12	?	Interrupt Request 12
C6	LA19	↑	Address bit 18	D6	IRQ15	?	Interrupt Request 15
C7	LA18	↑	Address bit 17	D7	IRQ14	?	Interrupt Request 14
C8	LA17	↑	Address bit 16	D8	-DACK0	?	DMA Acknowledge 0
C9	-MEMR	↑	Memory Read (Active on all memory read cycles)	D9	DRQ0	?	DMA Request 0
C10	-MEMW	↑	Memory Write (Active on all memory write cycles)	D10	-DACK5	?	DMA Acknowledge 5
C11	SD08	↑	Data bit 8	D11	DRQ5	?	DMA Request 5
C12	SD09	↑	Data bit 9	D12	-DACK6	?	DMA Acknowledge 6
C13	SD10	↑	Data bit 10	D13	DRQ6	?	DMA Request 6
C14	SD11	↑	Data bit 11	D14	-DACK7	?	DMA Acknowledge 7
C15	SD12	↑	Data bit 12	D15	DRQ7	?	DMA Request 7
C16	SD13	↑	Data bit 13	D16	+5V	-	
C17	SD14	↑	Data bit 14	D17	-MASTER	?	Used with DRQ to gain control of system
C18	SD15	↑	Data bit 15	D18	GND	-	Ground

07/11/99

UNIDAD 5 TD II FRM UTN

13

## BUS ISA Asignación de I/O Ports

técnicas digitales 2

Port Address	Assignments:	Port Address	Assignments:
010-01F	DMA Controller	2A2-2A3	Clock
000-00F	DMA Controller (PS/2)	2B0-2DF	EGA/Video
020-02F	Master Programmable Interrupt Controller (PIC)	2E2-2E3	Data Acquisition Adapter (AT)
030-03F	Slave PIC	2E8-2EF	Serial Port COM4
040-05F	Programmable Interval Timer (PIT)	2F0-2F7	Reserved
060-06F	Keyboard Controller	2F8-2FF	Serial Port COM2
070-071	Real Time Clock	300-31F	Prototype Adapter
080-083	DMA Page Registers	320-32F	AVAILABLE
090-097	Programmable Option Select (PS/2)	330-33F	Reserved for XT/370
0A0-0AF	PIC #2	340-35F	AVAILABLE
0C0-0CF	DMAC #2	360-36F	Network
0E0-0EF	Reserved	370-377	Floppy Disk Controller
0F0-0FF	Math coprocessor	378-37F	Parallel Port 2
100-10F	Programmable Option Select (PS/2)	380-38F	SDLC Adapter
110-16F	AVAILABLE	390-39F	Cluster Adapter
170-17F	Hard Drive 1 (AT)	3A0-3AF	reserved
180-1EF	AVAILABLE	3B0-3BB	Monochrome Adapter
1F0-1FF	Hard Drive 0 (AT)	3BC-3BF	Parallel Port 1
200-20F	Game Adapter	3C0-3CF	EGA/VGA
210-217	Expansion Card Ports	3D0-3DF	Color Graphics Adapter
220-26F	AVAILABLE	3E0-3EF	Serial Port COM3
270-27F	Parallel Port 3	3F0-3F7	Floppy Disk Controller
280-2A1	AVAILABLE	3F8-3FF	Serial Port COM1

07/11/99

UNIDAD 5 TD II FRM UTN

14

# BUS ISA Interrupciones & DMA

técnicas digitales 2

Interrupt	Assignment
NMI	Parity Error Mem Refresh
IRQ0	8253 Channel 0 (System Timer)
IRQ1	Keyboard
IRQ2	Cascade from slave PIC
IRQ3	COM2
IRQ4	COM1
IRQ5	LPT2
IRQ6	Floppy Drive Controller
IRQ7	LPT1
IRQ8	Real Time Clock
IRQ9	Redirection to IRQ2
IRQ10	Reserved
IRQ11	Reserved
IRQ12	Mouse Interface
IRQ13	Coprocessor
IRQ14	Hard Drive Controller
IRQ15	Reserved

DMA Channels	Assignment
<b>Controller 1</b>	
CH0	Reserved
CH1	SDLC
CH2	Diskette
CH3	Reserved
<b>Controller 2</b>	
CH4	Cascade for Ctr1
CH5	Reserved
CH6	Reserved
CH7	Reserved

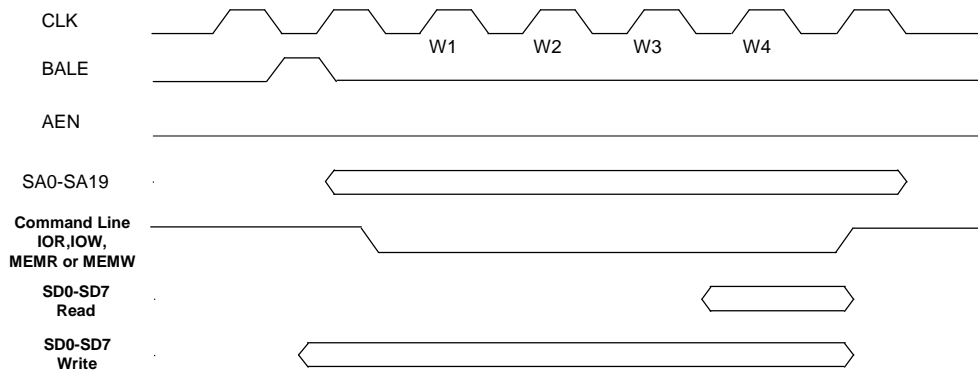
07/11/99

UNIDAD 5 TD II FRM UTN

15

# Diagrama de Tiempos

técnicas digitales 2



Transferencias de Memoria o E/S de 8 bits

07/11/99

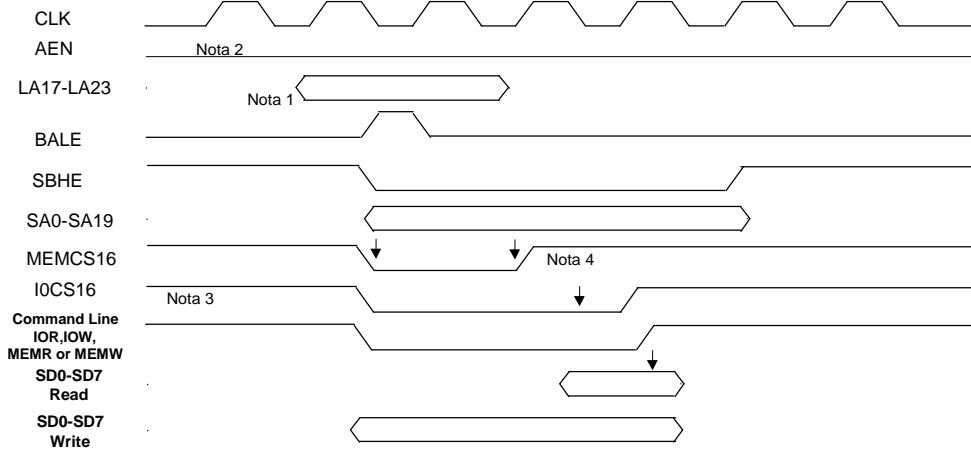
UNIDAD 5 TD II FRM UTN

16



# Diagrama de Tiempos

técnicas digitales 2



**Transferencias de Memoria o E/S de 16 bits**

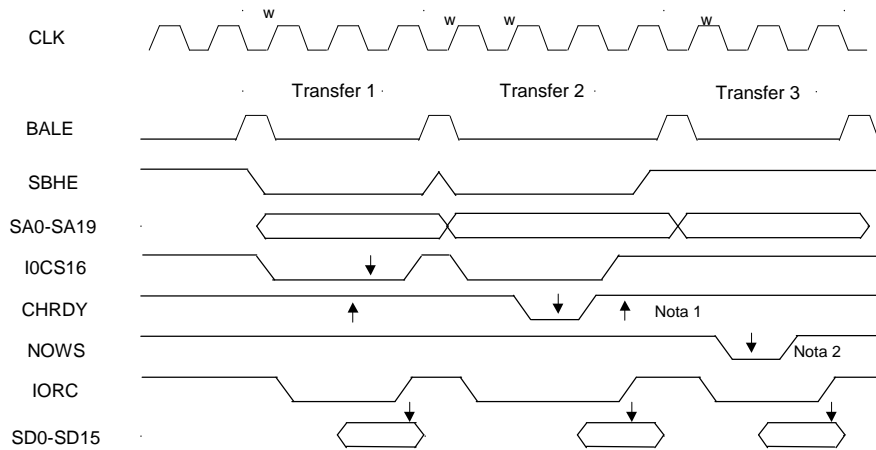
07/11/99

UNIDAD 5 TD II FRM UTN

17

# Diagrama de Tiempos

técnicas digitales 2



**Ejemplos de Ciclo de Bus**

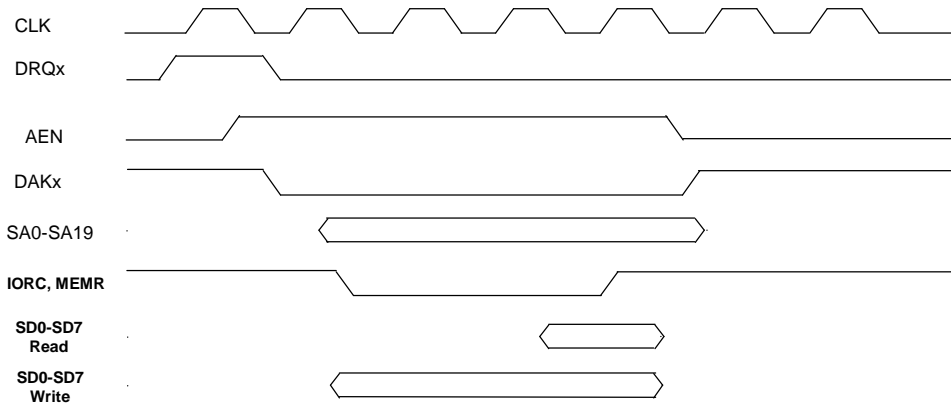
07/11/99

UNIDAD 5 TD II FRM UTN

18

## Diagrama de Tiempos

técnicas digitales 2



Ciclo de Acceso Directo a Memoria

07/11/99

UNIDAD 5 TD II FRM UTN

19

## Tipos de Buses

técnicas digitales 2

Manufacturer	Equipment	Bus Used
Apple	Macintosh	NuBus
Compaq and others	80386-based PCs	EISA
DEC	Alpha-based workstations	TurboChannel
IBM and compatible	PC and PC/XT	8-bit XT
IBM and compatible	PC/AT and later	16-bit ISA
IBM and compatible	486 PCs	VL-bus
IBM and compatible	Pentium	PCI
IBM	RS/6000 and PS/2 PCs	MCA
Sun	SPARC workstations	SBus

07/11/99

UNIDAD 5 TD II FRM UTN

20

## Tipos de Buses de PC

técnicas digitales 2

BUS	Definición	Bits	Velocidad	Dispositivos	Comentarios	Fecha
ISA	Industry Standard Architecture	8, 16	8 MHz	Varios	Muy lenta	1980
MCA	Micro Channel Architecture	16, 32	10 MHz	Varios	Transfers data every clock tick Arquitectura propietaria	1987
EISA	Extended Industry Standard Architecture	32	8.33 MHz	Varios	Compatible con ISA	1988
VESA	Video Electronics Standard Association	32 Local Bus	33 MHz	1 o 2	Local Bus (cerca de CPU) Pocos dispositivos conectados	1992
PCI	Peripheral Component Interconnect	32, 64	33 MHz – 66 MHz	Varios	Independencia de la CPU Transfers data every clock tick	1993

07/11/99

UNIDAD 5 TD II FRM UTN

21

## Tipos de Buses de PC

técnicas digitales 2

Bus	Released	Bus Speed (MHz)	Data Path Width (bits)	Peak Throughput (Mbytes/s)
XT	1982	4.77	8	2
ISA	1984	8.33	16	8
MCA	1987	10	16	20
MCA	1987	10	32	40
EISA	1988	8.33	32	33
VL-bus v1.0	1992	33	32	132
VL-bus v1.0	1992	40	32	148
VL-bus v2.0	1994	50	64	267
PCI v1.0	1993	33	32	132
PCI v1.0	1993	33	64	264
PCI v2.0		66		

07/11/99

UNIDAD 5 TD II FRM UTN

22

## Tipos de Buses de PC

técnicas digitales 2

Bus	Address Bus Width (bits)	Interrupts	DMA Channels	Pins
XT	20	6	3	62
ISA	24	11	7	62 + 36
EISA	32	15	7	100
MCA	32	11	0	182
VL-bus v1.0	32	1	0	116
VL-bus v2.0	64	1	0	116
PCI v1.0	64	4	0	188

07/11/99

UNIDAD 5 TD II FRM UTN

23

## Conclusiones

técnicas digitales 2

- Se ha presentado un esquema de la PC y su procesador, el 80X86
- Se ha analizado la máquina virtual
- Se ha analizado el "BUS ISA" como una forma de expandir la PC
- Se han analizado otros buses usados en las computadoras y especialmente en las PC

07/11/99

UNIDAD 5 TD II FRM UTN

24