

Unidad 5 Caso de Estudio

Bus PCI Peripheral Component Interconnect

Técnicas Digitales II
UTN-FRM

Ver. 1.0-OCT-02

técnicas digitales 2

Introducción

técnicas digitales 2

- Se presenta la Bus PCI.
 - Introducción
 - Arquitectura Pentium II
 - Señales bus PCI
 - Ciclo de Bus
- Bibliografía
 - “Organización de Computadoras”, A. Tanenbaum, 4ta Ed. Pearson.
 - “PCI System Architecture”, Shanley y Anderson, Reading
 - “PCI Hardware y Software Architecture and Design”, Solari y Willse, Annabooks
- Autor:
 - Ing. Gustavo Mercado (gmercado@frm.utn.edu.ar)

oct 2002

UNIDAD 5 TD II FRM UTN

2

Introducción

técnicas digitales 2

- Bus ISA no sirve para las nuevas aplicaciones rápidas
 - Actualización de pantalla 1024 x 768
 - 3 bytes/pixel -> 2.25 MB
 - 30 pantallas/seg -> 67.5MB/s x 2
 - ISA opera a 16.7MB/s máximo
 - EISA opera a 33.MB/s
- 1990 INTEL diseña PCI (Peripheral Component Interconnect)
 - PCI v1.0 1990 33MHz 32bits 132MB/s
 - PCI v2.0 1993 33MHz 64bits 264MB/s
 - PCI v2.1 1995 66MHz 64bits 528MB/s

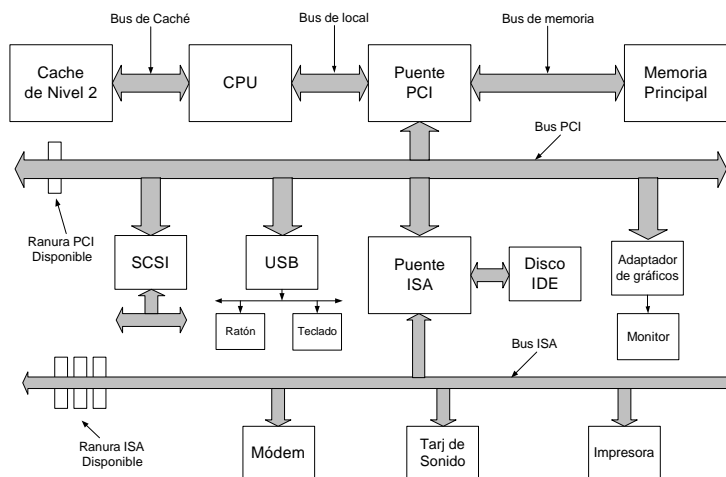
oct 2002

UNIDAD 5 TD II FRM UTN

3

Arquitectura Pentium II

técnicas digitales 2



oct 2002

UNIDAD 5 TD II FRM UTN

4

Señales bus PCI

técnicas digitales 2

Señal	Líneas	Amo	Esclavo	Descripción
CLK	1	X		Reloj (33MHz o 66MHz)
AD	32	X		Líneas de dirección y datos multiplexados
PAR	1	X		Bit de paridad de dirección y datos
C/BE	4	X		Comando de bus/mapa de bits para bytes habilitados
FRAME	1	X		Indica que AD y C/BE están acertados
IRDY#	1	X		Lectura: el amo aceptará; escritura: datos presentes
IDSEL	1	X		Seleccionar espacio de configuración en lugar de memoria
DEVSEL#	1		X	El esclavo decodificó su dirección y está escuchando
TRDY#	1		X	Lectura: datos presentes; escritura: el esclavo aceptará
STOP	1		X	El esclavo quiere parar la transacción de inmediato
PERR#	1			El receptor detectó error de paridad de datos
SERR#	1			Se detectó error de paridad o de sistema
REQ#	1			Arbitraje de Bus: solicitud el bus
GNT#	1			Arbitraje de Bus: conceder el bus
RST#	1			Restablecer el sistema y los dispositivos

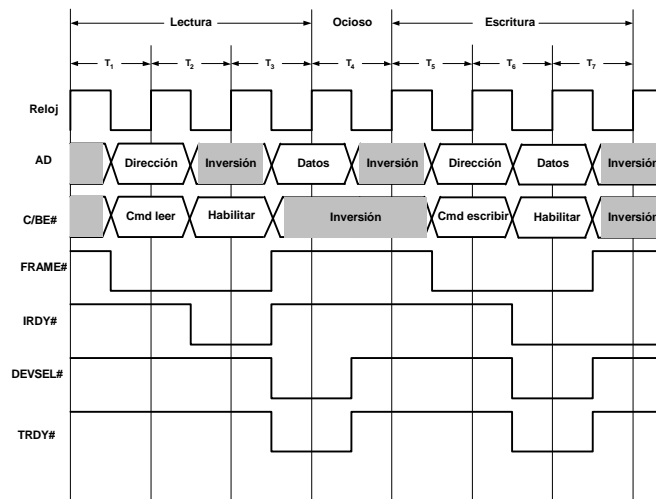
oct 2002

UNIDAD 5 TD II FRM UTN

5

Ciclo de Bus PCI

técnicas digitales 2



oct 2002

UNIDAD 5 TD II FRM UTN

6